

日本国特許庁
JAPAN PATENT OFFICE

JCT8: U.S. PTO
10/020573
10/31/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2001年 4月18日

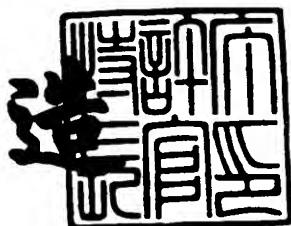
出願番号
Application Number: 特願2001-119221

出願人
Applicant(s): 富士電機株式会社

2001年 6月25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕三



出証番号 出証特2001-3059792

【書類名】 特許願
【整理番号】 00P01716
【提出日】 平成13年 4月18日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
【氏名】 小林 孝
【発明者】
【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
【氏名】 藤平 龍彦
【発明者】
【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
【氏名】 阿部 和
【特許出願人】
【識別番号】 000005234
【氏名又は名称】 富士電機株式会社
【代理人】
【識別番号】 100088339
【弁理士】
【氏名又は名称】 篠部 正治
【先の出願に基づく優先権主張】
【出願番号】 特願2000-331840
【出願日】 平成12年10月31日
【先の出願に基づく優先権主張】
【出願番号】 特願2000-355741

【出願日】 平成12年11月22日

【先の出願に基づく優先権主張】

【出願番号】 特願2000-361106

【出願日】 平成12年11月28日

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、その第二導電型ウェル領域の表面層に配置された第一導電型ソース領域と、第一導電型電圧支持層が第二導電型ウェル領域に囲まれて表面に達している部分である第一導電型表面領域と第一導電型ソース領域とに挟まれた第二導電型ウェル領域の表面上にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型低抵抗層の裏面側に設けられたドレイン電極とを有する半導体装置において、第一導電型表面領域が第二導電型ウェル領域に囲まれており、第一導電型ソース領域を含めた第二導電型ウェル領域の表面積に対する、第一導電型表面領域の表面積の比が、0.01～0.2の範囲にあることを特徴とする半導体装置。

【請求項2】 第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、その第二導電型ウェル領域の表面層に配置された第一導電型ソース領域と、第一導電型電圧支持層が第二導電型ウェル領域に囲まれて表面に達している部分である第一導電型表面領域と第一導電型ソース領域とに挟まれた第二導電型ウェル領域の表面上にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型低抵抗層の裏面側に設けられたドレイン電極とを有する半導体装置において、表面における第一導電型表面領域の形状が、幅に対して長さの長いストライプ状をなすことを特徴とする半導体装置。

【請求項3】 前記半導体表面における前記ストライプ状の第一導電型表面領域の主たる部分の幅が0.1～2μmの範囲にあることを特徴とする請求項2に記載の半導体装置。

【請求項4】前記半導体表面における第一導電型ソース領域を含めた第二導電型ウェル領域の表面積に対する、第一導電型表面領域の表面積の比が、0.01～0.2の範囲にあることを特徴とする請求項2または3に記載の半導体装置。

【請求項5】前記半導体表面における前記第一導電型表面領域の形状が、幅に対して長さの長いストライプ状を有し、その主たる部分の幅が0.1～2μmの範囲にあることを特徴とする請求項1に記載の半導体装置。

【請求項6】前記半導体表面において、前記ストライプ状の第一導電型表面領域の長さが100μm以上であることを特徴とする請求項2ないし5のいずれかに記載の半導体装置。

【請求項7】前記半導体表面において、前記ストライプ状の第一導電形表面領域の長さが500μm以上であることを特徴とする請求項6に記載の半導体装置。

【請求項8】前記半導体表面における前記ストライプ状の第一導電形表面領域が、長さ方向と異なる方向の複数の凸部を有することを特徴とする請求項2ないし7のいずれかに記載の半導体装置。

【請求項9】前記凸部の配置頻度が、第一導電形表面領域の長さ50μm当たり一個以下であることを特徴とする請求項8に記載の半導体装置。

【請求項10】前記凸部の配置頻度が、第一導電形表面領域の長さ250μm当たり一個以下であることを特徴とする請求項9に記載の半導体装置。

【請求項11】前記凸部の第一導電形表面領域から突出した寸法が、2μm以下であることを特徴とする請求項8ないし10のいずれかに記載の半導体装置。

【請求項12】第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、その第二導電型ウェル領域の表面層に配置された第一導電型ソース領域と、第一導電型電圧支持層が第二導電型ウェル領域に囲まれて表面に達している部分である第一導電型表面領域と第一導電型ソース領域とに挟まれた第二導電型ウェル領域の表面上にゲート絶縁膜を介して設けられ

たゲート電極と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型低抵抗層の裏面側に設けられたドレイン電極とを有する半導体装置において、前記ゲート電極が、幅に対して長さの長い複数のストライプ状をなすことを特徴とする半導体装置。

【請求項13】前記ストライプ状のゲート電極が、平面図上でそれぞれ第二導電型ウェル領域に囲まれて配置されていることを特徴とする請求項12に記載の半導体装置。

【請求項14】前記ストライプ状のゲート電極がそれぞれ一つ以上の前記第一導電形表面領域を覆って配置されていることを特徴とする請求項12または13に記載の半導体装置。

【請求項15】前記ストライプ状のゲート電極の主たる部分の幅が $4 \sim 8 \mu\text{m}$ の範囲にあることを特徴とする請求項12ないし14のいずれかに記載の半導体装置。

【請求項16】前記ストライプ状のゲート電極の主たる部分の幅が $5 \sim 7 \mu\text{m}$ の範囲にあることを特徴とする請求項15に記載の半導体装置。

【請求項17】前記ストライプ状のゲート電極の長さが $100 \mu\text{m}$ 以上であることを特徴とする請求項12ないし16のいずれかに記載の半導体装置。

【請求項18】前記ストライプ状のゲート電極の長さが $500 \mu\text{m}$ 以上であることを特徴とする請求項17に記載の半導体装置。

【請求項19】前記ストライプ状のゲート電極間をつなぐ幅の狭いブリッジ部分を有することを特徴とする請求項12ないし18のいずれかに記載の半導体装置。

【請求項20】前記ゲート電極のブリッジ部分の幅が $4 \mu\text{m}$ 以下であることを特徴とする請求項19に記載の半導体装置。

【請求項21】前記ゲート電極のブリッジ部分の主たる部分の下には前記第二導電型ウェル領域が配置されていることを特徴とする請求項19または20に記載の半導体装置。

【請求項22】前記ゲート電極のブリッジ部分の配置頻度が、ゲート電極の長さ $50 \mu\text{m}$ 当り一個以下であることを特徴とする請求項19ないし21のいず

れかに記載の半導体装置。

【請求項23】前記ゲート電極のブリッジ部分の配置頻度が、ゲート電極の長さ $250\mu\text{m}$ 当り一個以下であることを特徴とする請求項22に記載の半導体装置。

【請求項24】前記電圧支持層が、第一導電型の半導体領域からなることを特徴とする請求項1ないし23のいずれかに記載の半導体装置。

【請求項25】前記電圧支持層が、第一導電型半導体領域と第二導電型半導体領域を交互に配置した領域を含むことを特徴とする請求項1ないし23のいずれかに記載の半導体装置。

【請求項26】第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、半導体表面において前記第二導電型ウェル領域を囲んで配置された複数の第二導電型ガードリングを備えた半導体装置において、半導体装置の耐圧を $V_{br}(\text{V})$ 、前記複数の第二導電型ガードリングの数をn(本)としたとき、 $n \geq 1.0 \times V_{br}/100$ 以上とすることを特徴とする半導体装置。

【請求項27】nを $1.5 \times V_{br}/100$ 以上とすることを特徴とする請求項26に記載の半導体装置。

【請求項28】nを $6.0 \times V_{br}/100$ 以下とすることを特徴とする請求項26または27に記載の半導体装置。

【請求項29】第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、半導体表面において前記第二導電型ウェル領域を囲んで配置された複数の第二導電型ガードリングを備えた半導体装置において、第二導電型ウェル領域と、第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングとの間隔が $1\mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項30】第二導電型ウェル領域と、第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングとの間隔が $1\mu\text{m}$ 以下であることを特徴とす

る請求項26ないし28のいずれかに記載の半導体装置。

【請求項31】第二導電型ウェル領域と、第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングとの間隔が $0.5\mu m$ 以下であることを特徴とする請求項29または30に記載の半導体装置。

【請求項32】第二導電型ウェル領域と、第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングとが接続していることを特徴とする請求項31に記載の半導体装置。

【請求項33】第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングと、二番目の第二導電型ガードリングとの間隔が $1.5\mu m$ 以下であることを特徴とする請求項29ないし32のいずれかに記載の半導体装置。

【請求項34】一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間隔が $1\mu m$ 以下であることを特徴とする請求項33に記載の半導体装置。

【請求項35】一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間隔が $0.5\mu m$ 以下であることを特徴とする請求項34に記載の半導体装置。

【請求項36】第二導電型ウェル領域側から数えて二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔が $2.0\mu m$ 以下であることを特徴とする請求項33ないし35のいずれかに記載の半導体装置。

【請求項37】二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔が $1.0\mu m$ 以下であることを特徴とする請求項36に記載の半導体装置。

【請求項38】三番目の第二導電型ガードリングと四番目の第二導電型ガードリングとの間隔が $2.5\mu m$ 以下であることを特徴とする請求項36または37に記載の半導体装置。

【請求項39】三番目の第二導電型ガードリングと四番目の第二導電型ガードリングとの間隔が $2.0\mu m$ 以下であることを特徴とする請求項38に記載の半導体装置。

【請求項40】第一導電型低抵抗層と、第一導電型低抵抗層上に配置された

少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、半導体表面において前記第二導電型ウェル領域を囲んで配置された複数の第二導電型ガードリングを備えた半導体装置において、前記第二導電型ウェル領域と第二導電型ガードリングのうちの接合深さの浅い方の深さを d_1 としたとき、前記第二導電型ウェル領域と第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングとの間隔が $d_1 / 4$ 以下であることを特徴とする半導体装置。

【請求項4 1】前記第二導電型ウェル領域と第二導電型ガードリングのうちの接合深さの浅い方の深さを d_1 としたとき、前記第二導電型ウェル領域と第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングとの間隔が $d_1 / 4$ 以下であることを特徴とする請求項2 6ないし2 8のいずれかに記載の半導体装置。

【請求項4 2】前記第二導電型ウェル領域と一番目の第二導電型ガードリングとの間隔が $d_1 / 8$ 以下であることを特徴とする請求項4 0または4 1に記載の半導体装置。

【請求項4 3】前記第二導電型ガードリングの接合深さを d_2 としたとき、第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間隔が $d_2 / 4$ 以下であることを特徴とする請求項4 0ないし4 2のいずれかに記載の半導体装置。

【請求項4 4】一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間隔が $d_2 / 8$ 以下であることを特徴とする請求項4 3に記載の半導体装置。

【請求項4 5】第二導電型ウェル領域側から数えて二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔が $d_2 / 4$ 以下であることを特徴とする請求項4 3または4 4に記載の半導体装置。

【請求項4 6】二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔が $d_2 / 8$ 以下であることを特徴とする請求項4 5に記載の半導体装置。

【請求項4 7】第二導電型ウェル領域と第二導電型ウェル領域から数えて一

番目の第二導電型ガードリングとの間隔を l_1 、一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間隔を l_2 としたとき、 l_2-l_1 を $1\text{ }\mu\text{m}$ 以下としたことを特徴とする請求項26ないし46のいずれかに記載の半導体装置。

【請求項48】 l_2-l_1 を $0.2\sim0.8\text{ }\mu\text{m}$ の範囲としたことを特徴とする請求項47に記載の半導体装置。

【請求項49】第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間隔を l_2 、二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔を l_3 としたとき、 l_3-l_2 を $1\text{ }\mu\text{m}$ 以下としたことを特徴とする請求項47または48に記載の半導体装置。

【請求項50】 l_3-l_2 を $0.2\sim0.8\text{ }\mu\text{m}$ の範囲としたことを特徴とする請求項49に記載の半導体装置。

【請求項51】第二導電型ウェル領域側から数えて二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔を l_3 、三番目の第二導電型ガードリングと四番目の第二導電型ガードリングとの間隔を l_4 としたとき、 l_4-l_3 を $1\text{ }\mu\text{m}$ 以下としたことを特徴とする請求項49または50に記載の半導体装置。

【請求項52】 l_4-l_3 を $0.2\sim0.8\text{ }\mu\text{m}$ の範囲としたことを特徴とする請求項51に記載の半導体装置。

【請求項53】第二導電形ガードリングの数nが5以上であり、第二導電形ウェル領域側から数えて一番目の第二導電型ガードリングの幅が、五番目の第二導電型ガードリングの幅より大きいことを特徴とする請求項26ないし52のいずれかに記載の半導体装置。

【請求項54】第二導電形ガードリングの数nが6以上であり、第二導電形ウェル領域側から数えて二番目の第二導電型ガードリングの幅が、六番目の第二導電型ガードリングの幅より大きいことを特徴とする請求項53に記載の半導体装置。

【請求項55】第二導電形ガードリングの数nが7以上であり、第二導電形

ウェル領域側から数えて三番目の第二導電型ガードリングの幅が、七番目の第二導電型ガードリングの幅より大きいことを特徴とする請求項54に記載の半導体装置。

【請求項56】第二導電型ウェル領域と第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置したことを特徴とする請求項26ないし55のいずれかに記載の半導体装置。

【請求項57】前記導電体膜がフローティング電位であることを特徴とする請求項56に記載の半導体装置。

【請求項58】第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置したことを特徴とする請求項56または57に記載の半導体装置。

【請求項59】前記導電体膜がフローティング電位であることを特徴とする請求項58に記載の半導体装置。

【請求項60】第二導電形ガードリングの数nが3以上であり、第二導電型ウェル領域側から数えて二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置したことを特徴とする請求項58または59に記載の半導体装置。

【請求項61】前記導電体膜がフローティング電位であることを特徴とする請求項60に記載の半導体装置。

【請求項62】第二導電形ガードリングの数nが4以上であり、第二導電型ウェル領域側から数えて三番目の第二導電型ガードリングと四番目の第二導電型ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置したことを特徴とする請求項60または61に記載の半導体装置。

【請求項63】前記導電体膜がフローティング電位であることを特徴とする請求項62に記載の半導体装置。

【請求項64】前記電圧支持層が第一導電型半導体領域からなることを特徴とする請求項26ないし63のいずれかに記載の半導体装置。

【請求項65】前記電圧支持層が第一導電型半導体領域と第二導電型半導体領域を交互に配置した領域を含むことを特徴とする請求項26ないし63のいずれかに記載の半導体装置。

【請求項66】半導体装置の表面保護膜として有機高分子材料膜を配置したことを特徴とする請求項1ないし65のいずれかに記載の半導体装置。

【請求項67】半導体表面に配置された第二導電型ウェル領域に囲まれて配置された第一導電型の表面ドレイン領域の、前記第二導電型ウェル領域より浅い領域における抵抗率が、前記第二導電型ウェル領域より深い領域の電圧支持層の抵抗率より低くなっていることを特徴とする請求項1ないし25のいずれから記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、金属(M)－酸化膜(O)－半導体層(S)のゲート構造をもつMOS電界効果トランジスタ(MOSFET)、絶縁ゲートバイポーラトランジスタ(IGBT)等の半導体装置、特に半導体基板の両面に設けられた電極間に電流が流れる縦型で高耐圧、低損失の半導体装置に関する。

【0002】

【従来の技術】

一般に、パワー半導体素子には半導体基板の両面に設けられた電極間に電流が流れる縦型半導体が多用されている。図36は従来のプレーナー型のnチャネル縦型MOSFETの一例の、主電流の流れる活性部の断面図である。

この縦型MOSFETではドレイン金属電極20が導電接合した低抵抗のn⁺ドレイン層11の上に電圧支持層となる高比抵抗のn⁻ドリフト層12が配置され、そのn⁻ドリフト層12の上に選択的にpウェル領域13が配置され、そのpウェル領域13内部の表面層に選択的にn⁺ソース領域15が形成されている。

【0003】

n⁺ソース領域15とn⁻ドリフト層12の表面露出部分14(以下n⁻表面

領域と呼ぶ) とに挟まれた p ウエル領域 13 の表面上にゲート絶縁膜 17 を介してゲート電極層 18 が設けられ、 n⁺ ソース領域 15 と p ウエル領域 13 との表面に共通に接触してソース電極 19 が設けられている。

上記デバイス内の p ウエル領域 13 のソース電極 19 と接触する表面にソース電極 19 との接触抵抗を低減させ、或いはラッチアップ耐量向上の為に p⁺ コンタクト領域 21 が設けられる場合もある。

【0004】

このような縦型MOSFETにおける、オン状態の時のオン抵抗は素子内部の電流経路の抵抗の総和として表すことが可能であるが、特に高耐圧素子のオン抵抗では高比抵抗の n⁻ ドリフト層 12 の部分の抵抗が支配的になる。

MOSFETの損失を下げる為にはこの n⁻ ドリフト層 12 の比抵抗を下げたり、厚さを薄くしたりすることが有効である。しかし、オフ状態の時にはこの n⁻ ドレイン層 12 が空乏化して電圧支持層となる為、抵抗値を下げるために n⁻ ドリフト層 12 の不純物濃度を高くして比抵抗を下げたり、厚さを薄くしたりすると、耐圧低下が起きてしまう。

【0005】

逆に耐圧の高い半導体装置では n⁻ ドリフト層 12 を厚くしなければならないため、必然的にオン抵抗が高くなり、損失が大きくなる。

すなわちオン抵抗と耐圧の間にはトレードオフ関係がある。このトレードオフ関係はMOSFETだけでなく、 IGBT、バイポーラトランジスタ、ダイオード等のパワー半導体素子に於いても、程度の差はあれ同様に成立することが知られている。

【0006】

また、従来の上記のようなデバイスの p ウエル領域 13 は、一般的にゲート電極層 18 をマスクにして不純物を導入して形成されるため、その平面形状はほぼゲート電極層 18 の反転形状になる。図 37、図 38 は、従来デバイスのゲート電極 18 のパターンの例を示す平面図である。

図 37 は、ゲート電極 18 の窓あけ形状が四角形の例であり、例えば特公平 7-83123 号公報等に開示されている。 p ウエル領域 13 は、ゲート電極 18

の窓を通じた不純物導入により形成されるため、その平面形状は四角形となる。

n^+ ソース領域はゲート電極18の窓を一方の端とした不純物導入により四角環状に形成される。図37のゲート電極18の窓内部には、 p ウェル領域13及び n^+ ソース領域と接触して設けられるソース電極の接触領域24が示されている。ソース電極接触領域24も相似の四角形とされる。

【0007】

図38はゲート電極18の窓あけ形状が六角形の例であり、例えばU.S.P.4,593,302等に開示されている。この場合も p ウェル領域13の平面形状は六角形となる。ソース電極接触領域24も相似の六角形とされる。

一方、MOS半導体装置の耐圧を担う耐圧構造については、一般的に活性領域の周囲にガードリング構造や、フィールトプレート構造、或いは抵抗性膜+フィールドプレート構造等が設けられていた。

【0008】

【発明が解決しようとする課題】

しかし一般的に耐圧は、何れの耐圧構造の場合も使用した半導体基板および耐圧構造から計算される理想的耐圧の90%以下の値しか実現できていない。

そのため、目標とされる耐圧を実現するには、半導体基板の厚さを厚くし、或いは余裕度をもった耐圧構造を使用する必要があり、低オン抵抗を要求されるデバイスにおいても、オン抵抗の増大を避けられなかった。

【0009】

構造から計算される耐圧のおよそ90%以下の値しか実現できない理由の一つは活性部の平面的な配置方法に問題があるためであり、もう一つは耐圧構造部が最適化されておらず、活性部より先に耐圧構造部でブレークダウンしてしまうためである。それについて以下にもう少し詳しく説明する。

先ず、活性領域については、 p ウェル領域13の形状が図37、図38のような場合、各 p ウェル領域13は n^- ドリフト層12の n^- ドリフト表面部14に囲まれた形状となっている。言い換えると、 n^- ドリフト表面部14に対して p ウェル領域13が凸型を形成していることから、その間の p n 接合部分の電界強度が形状効果によって高くなり、本来 n^- ドリフト層12と p ウェル領域13と

の不純物濃度で決まる耐圧よりも低い耐圧となってしまう。

【0010】

このことから、耐圧を確保するためには n^- ドリフト層12の不純物濃度を低くする必要があり、それが更にオン抵抗を増加させる一因となっていた。

この p ウエル領域13の形状効果による耐圧低下を抑制する一つの方法として、例えばU S P 5, 723, 890ではゲート電極の主要部分を一方向に延びたストライプ状とする方法がおこなわれている。

【0011】

図39は、そのゲート電極18のパターンを示す平面図である。この場合、 p ウエル領域13の主要部分の平面形状もストライプ状となる。コンタクト領域24もストライプ状とされる。

しかし、このゲート電極18をストライプ状としたMOSFETにおいても問題が無いわけではない。

【0012】

従来の四角形や六角形の窓を持つゲート電極の場合、ゲート電極への制御信号はゲート電極の形状がネットワーク的に作用するため、そのゲート抵抗は低く抑えられていた。しかし、ゲート電極18をストライプ状とした場合、ゲート電極への制御信号は、ストライプの両端からのみの一方向経路しか無いためゲート抵抗は増加してしまい、後述するスイッチング損失の増大を招くことになった。

【0013】

MOSFETの損失低減には、先に述べたオン抵抗によるオン状態の損失低減と共に、スイッチング時の損失低減も必要である。一般的にスイッチング時の損失低減には、スイッチング時間の短縮、特に素子がオン状態からオフ状態に変わる際のスイッチング時間を短縮することが重要である。

縦型MOSFETのスイッチング時間を短縮するためには、図36の n^- 表面領域14とゲート絶縁膜17を介して対向しているゲート電極18との間で構成される容量C_{rss}を低減せることが必要である。そして、それには p ウエル領域13に挟まれた n^- 表面領域14の幅を小さくすることが有効である。

【0014】

しかし、pウェル領域13に挟まれたn⁻表面領域14の幅を小さくすると、MOSFETのオン抵抗成分の一つである、接合型電界効果トランジスタ作用による抵抗成分（以下JFET抵抗と記す）が大きくなり、オン抵抗が高くなってしまう。

このJFET抵抗が高くなる問題の解決法の一つとして、例えばU.S.P.4, 593, 302に開示されているカウンタードープ法がある。確かにその技術を用いて、オン抵抗の増加を抑制することができるが、JFET抵抗を少しでも下げるためn⁻表面領域14の幅を大きくすると耐圧低下に繋がってしまう。この耐圧低下を避けるには、逆にカウンタードープの量を少なくする必要があり、結果的にJFET抵抗の増加抑制効果が小さくなるという堂々巡りに陥ってしまう問題がある。

【0015】

また、スイッチング損失低減のためには、上記C_{rss}の低減以外にゲート駆動電荷量Q_gの低減も有効である。Q_gはMOS型デバイスの入力容量C_{iss}に対するゲート・ソース間電圧V_{gs}が0(V)から駆動電圧V₁(V)までの充電電荷量として計算され次式で表される。

【0016】

【数1】

$$Q_g = \int_0^{V_1} C_{iss} \cdot V_{gs} dC / dV$$

上式からC_{iss}を低減することが、Q_gの低減につながることがわかる。

【0017】

MOS型デバイスでのC_{iss}は端子間容量で下式で表される。

【0018】

【数2】

$$C_{iss} = C_{gs} + C_{gd}$$

ここで、C_{gs}はゲート・ソース間容量、C_{gd}はゲート・ドレイン間容量（=C_{rss}）である。

【0019】

C_{rss} の低減には、先に記したカウンタードープによる J F E T 抵抗の低減による解決策の他に、別の解決策もある。図40は別の解決策を取った M O S F E T の断面図である。 n^- 表面領域14と対向するゲート絶縁膜17の一部に厚いゲート絶縁膜25を設けて、 C_{rss} の低下を図っている。

しかしこの場合は、ゲート絶縁膜17と厚いゲート絶縁膜25の絶縁膜に段差が生じるため、段差部分の電界強度が高くなり耐圧低下を起こす問題がある。

【0020】

更に C_{gs} を低減には、ゲート電極18の面積を小さくする方法が考えられるが、例えば図39に示すストライプ状ゲート電極の場合、ゲート電極の幅を細くすると、前述のデバイス内部のゲート抵抗が増加してスイッチング損失が増加する。

一方、耐圧構造部については、電圧支持層である n^- ドリフト層12上に配置されたソース電極19と同じ電位の p ウェル領域13の最外周部において、 p ウェル領域13と n^- ドリフト層12との間の p n 接合が曲率を持っているため、電圧印加時にこの曲率部分の電界強度が平面接合の場合より増大し、耐圧支持層の構造から計算される耐圧より低い印加電圧で臨界電界強度に到達し、ブレーカダウンするのである。

【0021】

以上のような種々の問題に鑑み本発明の目的は、オン抵抗と耐圧とのトレードオフ関係を大幅に改善し、高耐圧でありながらオン抵抗の低減をはかり、更にスイッチング損失の低減も同時に実現可能な半導体素子を提供することにある。

【0022】

【課題を解決するための手段】

上記課題解決のため本発明は、第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、その第二導電型ウェル領域の表面層に配置された第一導電型ソース領域と、第一導電型電圧支持層が第二導電型ウェル領域に囲まれて表面に達している部分である第一導電型表面領域と第一導

電型ソース領域とに挟まれた第二導電型ウェル領域の表面上にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域と第二導電型ウェル領域との表面に共通に接触して設けられたソース電極と、第一導電型低抵抗層の裏面側に設けられたドレイン電極とを有するMOS型半導体装置において、次のような手段を取る。

【0023】

まず、電圧支持層が表面に達している部分である第一導電型表面領域が第二導電型ウェル領域に囲まれているものとする。

そのようにすれば、第二導電形ウェル領域が第一導電形表面領域に囲まれて配置された構造の従来のデバイスと異なり、第二導電形ウェル領域の形状効果による電界の強度の増加を抑制することが可能となり、電圧支持層を低抵抗化しても高い耐圧が確保できるようになる。そして電圧支持層を低抵抗化すれば、低オン抵抗化が実現出来る。

【0024】

更に前記半導体表面におけるMOS構造を備えた第一導電形ソース領域を含めた第二導電形ウェル領域の表面積に対する前記第二導電形ウェルに囲まれて配置された第一導電形表面領域の面積比率を小さくすることによって、第一導電形表面領域とゲート絶縁膜を介して対向するゲート電極との間で構成される容量C_{rss}を低減することが可能となる。しかし、前記半導体表面の第1導電形ドレン領域の面積比率を小さくすると、先に説明したようにオン抵抗が高くなる。

【0025】

この第一導電形表面領域の面積比率を変えた試作デバイスについての、その面積比率と先に記したゲート・ドレン間容量C_{rss}およびオン抵抗R_{on}との関係を図6に示す。横軸は第一導電形ソース領域を含めた第二導電形ウェル領域の表面積に対する第一導電形表面領域の面積比率、縦軸はC_{rss}およびR_{on}である。なおこの試作実験は、後述する実施例1のタイプの活性領域の面積を約16mm²としたnチャネルMOSFETについておこなったものである。第一導電形表面領域の長さは3.6mmである。

【0026】

図6より C_{rss} は第一導電形表面領域の面積比率に比例して大きくなることがわかる。従って、面積比率はできるだけ小さいほうが望ましく、 C_{rss} を実デバイスで許容できる15pF以下とするには、面積比率を0.23以下とする必要がある。

一方 R_{on} は、第一導電形表面領域の面積比率が0.15ないし0.2で最小となる。面積比率が0.2より大きくなると緩やかに造大し、逆に0.15よりも小さくなると、急速に増大している。従って、 R_{on} を実デバイスで許容出来うる最小値の2倍以下に抑えるためには、面積比率を0.01以上とする必要がある。

【0027】

これらを総合して面積比率は、0.01～0.2の範囲とすることが望ましい。そうすれば、低オン抵抗と低 C_{rss} を兼ね備えたデバイスが実現できる。

次に、表面における第一導電型表面領域の形状が、幅に対して長さの長いストライプ状をなすものとする。

そのようにしてもまた、ストライプ状の第一導電型表面領域が第二導電型ウェル領域に囲まれているので、従来のデバイスのような第二導電型ウェル領域が第一導電型表面領域に囲まれて配置された構造と異なり、第二導電型ウェル領域の形状効果による電界の強度の増加を抑制することが可能となり、電圧支持層を抵抗化しても高い耐圧が確保できるようになる。

【0028】

更に、前記半導体表面における前記ストライプ状の第一導電型表面領域の主たる部分の幅を0.1～2μmの範囲とする。

第一導電型表面領域のストライプの幅を小さくすることによって、第一導電形表面領域とゲート絶縁膜を介して対向するゲート電極との間で構成される容量 C_{rss} を低減することが可能となる。しかし、同時にオン抵抗が高くなる。

【0029】

第一導電形表面領域の幅を変えた試作デバイスについての、第一導電形表面領域の幅と C_{rss} およびオン抵抗 R_{on} との関係を図7に示す。横軸は第一導電形表面領域の幅、縦軸は C_{rss} および R_{on} である。第一導電形表面領域の長

さは3.6mmとした。

図7より C_{rss} は第一導電形表面領域の幅に比例して大きくなることがわかる。従って、幅はできるだけ小さいほうが望ましく、 C_{rss} を実デバイスで許容できる15pF以下とするには、幅を約3μm以下とする必要がある。

【0030】

一方 R_{on} は、第一導電型表面領域の幅が1.5ないし2μmで最小となる。幅が2.5μmより大きくなると緩やかに増大し、逆に1μmよりも小さくなると、急速に増大している。従って、 R_{on} を実デバイスで許容出来る最小値の2倍以下に抑えるためには、幅を0.1μm以上とする必要がある。

このようにドレイン領域が短い範囲ではオン抵抗と C_{rss} はトレードオフの関係にある。実使用上低オン抵抗で低 C_{rss} を両立するには C_{rss} が15pF以下でオン抵抗が1.5Ω以下が望ましいことから第一導電型表面領域の幅は0.1μm以上、2μm以下の範囲に限定される。そして小さい C_{rss} が実現できれば、スイッチング損失を小さくすることができる。

【0031】

また、ストライプ状の第一導電型表面領域の主たる部分の幅が広がると表面の電界強度の高くなり耐圧が低下する。一方、上記表面ドレイン領域の主たる部分の幅が狭くなるとJFET抵抗が増加してオン抵抗が高くなるが、上のように最適の寸法範囲を限定することで耐圧が低下せず、オン抵抗が高くならないデバイスが可能となる。

【0032】

ストライプ状の第一導電型表面領域の場合にも、第二導電形ウェル領域と第一導電形ソース領域との表面積の和に対する前記第二導電形ウェルに囲まれて配置された第一導電形表面領域の面積比率を小さくすることによって、第一導電形表面領域とゲート絶縁膜を介して対向するゲート電極との間で構成される容量 C_{rss} を低減することが可能となる。同時にオン抵抗が増大するが、先に述べたように第一導電型表面領域の面積比率の範囲を限定することで、耐圧の低下が起きずに、オン抵抗の増加が許容範囲内で、 C_{rss} も小さく抑えることが出来るデバイスが可能となる。

【0033】

いくつかの手段を1つのデバイス内で満足する構造とすることでより性能の向上するデバイスが可能となる。

ストライプ状の第一導電型表面領域の長さが長くなると、同一面積でのチャネル幅が広がることからオン抵抗が低くなるが、一方でデバイス内部のゲート抵抗が高くなり、このことでスイッチング時間が遅くなり、スイッチング損失が増加する。

【0034】

逆に第一導電型表面領域の長さ方向の途中にゲート電極を設ける等して、長さを短くすると、デバイス内部のゲート抵抗は小さくなりスイッチング時間が短くなることでスイッチング損失が低減するものの、同一面積でのチャネル幅が狭くなることからオン抵抗が高くなる。

つまり第一導電型表面領域の長さを適当な範囲に限定することが重要である。

【0035】

第一導電形表面領域の長さを変えた試作デバイスについての、第一導電形表面領域の長さとスイッチング時間を支配する入力容量Cissおよびオン抵抗Ronとの関係を図8、9、10、11に示す。横軸は第一導電形表面領域の長さ、縦軸はCissまたはRonである。第一導電形表面領域の幅1.6μm、表面積比率は0.12とした。

【0036】

図8において、第一導電形表面領域の長さが500μm以上になるとCissは殆ど変わらない値となるが、500μm以下では徐々に増加を示している。

図9は図8の中の第一導電形表面領域の長さが400μm以下の部分を拡大した特性である。図7からCissは100μm以下になると急激に増大することがわかる。このことから、スイッチング時間を短くするためには表面nドレイン領域の1方向に沿った長さは100μm以上、望ましくは500μm以上に限定されるべきであることがわかる。

【0037】

次にオン抵抗との関係を図10と図11に示す。図10に見られるように第一

導電形表面領域の長さが $500\mu m$ 以上になるとオン抵抗は殆ど変わらない値となるが、 $500\mu m$ 以下では徐々に増加を示している。図11は図10の中のドレイン領域の長さが $400\mu m$ 以下の部分を拡大した特性である。図11からオン抵抗は $100\mu m$ 以下になると急激に増加する。このことから、オン抵抗を低くするためには表面nドレイン領域の1方向に沿った長さは $100\mu m$ 以上、特に $500\mu m$ 以上に限定されるべきである。

【0038】

そのようにすれば、オン抵抗が低く、スイッチング損失の小さいデバイスが実現出来る。

また、ゲート電極がストライプ状の複数の部分であってもよい。

そのようなゲート電極をマスクとして第二導電形ウェル領域を形成すれば、その下方に必然的に第二導電形ウェル領域で周囲を囲まれたストライプ状の第一導電型表面領域が形成される。

【0039】

先に、第一導電型表面領域の幅は $0.1\mu m$ 以上、 $2\mu m$ 以下の範囲に限定されると記した。第一導電型表面領域の幅は、第二導電形ウェル領域を形成する際のマスクとなるゲート電極の幅と不純物濃度の横方向への拡散距離で決定される。従って、第一導電型表面領域の幅を上記の適当な値にするためには、横方向拡散距離を約 $2\mu m$ 弱とすると、ゲート電極の幅を $4\sim 8\mu m$ 、望ましくは $5\sim 7\mu m$ とするのが良いことになる。

【0040】

また、同じ理由で第一導電型表面領域の長さは、ストライプ状ゲート電極の長さで決定されるので、ストライプ状ゲート電極の値についても先に記した第一導電型表面領域の適当な値である $100\mu m$ 以上、望ましくは $500\mu m$ 以上とするのがよいことになる。

ストライプ状のゲート電極間をつなぐ幅の狭いブリッジ部分を有するものとすれば、ゲート抵抗が低減される。

【0041】

そして、そのゲート電極のブリッジ部分の幅は $4\mu m$ 未満であるものとする。

$4 \mu\text{m}$ 未満であれば、第二導電形ウェル領域を形成する際の横方向拡散距離を約 $2 \mu\text{m}$ とすると、ブリッジ部分の下方は両側からの拡散により、第二導電形ウェル領域がつながってしまい、第一導電型表面領域を囲む第二導電型ウェル領域が形成される。

【0042】

ゲート電極のブリッジ部分の配置頻度については、ゲート電極の長さ $50 \mu\text{m}$ 当り一個以下、望ましくは $250 \mu\text{m}$ 当り一個以下とする。

ゲート電極のブリッジ部分を多数設けると、デバイス内部のゲート抵抗は小さくなるものの、ゲート・ドレイン間容量 C_{gd} が増すので、スイッチング速度が遅く、スイッチング損失が増すことになる。また、しかしゲート電極の下方は、両側からの拡散により、第二導電形ウェル領域がつながるが、その表面層に形成される第一導電型ソース領域の拡散深さは浅いため、横方向拡散距離も短くつながらない。従って、ゲート電極のブリッジ部分の下方はチャネルが形成されず無効領域となるので、同一面積でのチャネル幅が狭くなることからオン抵抗が高くなる。ブリッジ部分を無闇に数を増やすことは得策でない。ストライプ状ゲート電極の長さ $100 \mu\text{m}$ 、望ましくは $500 \mu\text{m}$ の間に1個以上設けない方が良い。

【0043】

前記電圧支持層は、第一導電型の半導体領域からなるものでも、また第一導電型半導体領域と第二導電型半導体領域を交互に配置したいわゆる超接合型としても良い。

次に耐圧を高めるための耐圧構造部分については次のような手段を取る。

まず、第一導電型低抵抗層と、第一導電型低抵抗層上に配置された少なくとも第一導電形半導体領域を含む電圧支持層と、電圧支持層の表面層に配置された第二導電型ウェル領域と、半導体表面において前記第二導電型ウェル領域を囲んで配置された複数の第二導電型ガードリングを備えた半導体装置において、半導体装置の耐圧を V_{br} (V)、前記複数の第二導電型ガードリングの数を n (本) としたとき、 n を $1.0 \times V_{br} / 100$ 以上、より好ましくは、 $1.5 \times V_{br} / 100$ 以上とする。

【0044】

第二導電型ガードリングの数 n (本) を変えた2次元シミュレーションと試作デバイスについての、ガードリングの数 n と耐圧 V_{br} (V) との関係を図14に示す。横軸は耐圧 V_{br} (V)、縦軸はガードリングの数 n である。

実験に使用した n^- ドリフト層の特性は、Siに不純物としてリンを用いたウエハの特性で、比抵抗 $\rho = 18 \Omega\text{cm}$ 、厚さ $t = 48.5 \mu\text{m}$ のSi (b1線) と、 $\rho = 32.5 \Omega\text{cm}$ 、 $t = 76.5 \mu\text{m}$ のSi (b2線) の2種類である。

【0045】

各Si共、始めガードリングの本数が増えるに従い耐圧 V_{br} も高くなっている。しかし、 n^- ドリフト層のSi特性から計算される平面接合の場合の理論耐圧 (それぞれ、654V、1011V) の97~98%程度の耐圧で飽和してしまい、それ以上ガードリング本数を増やしても耐圧は変わらなくなる。

ガードリングの数 n としては、急速に耐圧が向上する領域が終わる境界として $n = 1.0 \times V_{br} / 100$ の式 (b3線) が規定される。更にガードリング本数を増やしても殆ど耐圧増加が起きない耐圧となるガードリング本数を示す関係は $n = 1.5 \times V_{br} / 100$ (b4線) となる。

【0046】

従来の技術の耐圧構造では、前記Si特性から計算される平面接合耐圧の90%程度に止まることから、上式で示される以上のガードリング本数とすることで高耐圧化の効果が期待出来る。

一方、 n の上限としては、 $6.0 \times V_{br} / 100$ 以下と規定する。

ガードリングの本数を増やすと耐圧構造幅が広くなり、実デバイスではチップサイズが大きくなる弊害を生じる。図14から、ガードリング本数を増やしても耐圧が飽和してしまうことから、ガードリング本数の上限を設けることが実際的である。この上限は、本発明を適用したデバイスの耐久性試験等で想定される耐圧構造表面の電荷蓄積効果に対する耐量を考慮して、本発明の効果が始まる関係のガードリング本数のおおむね6倍が相当である。つまり、その関係式は $n = 6.0 \times V_{br} / 100$ となる。この関係式以下のガードリング寸法とすることで、デバイス表面の電荷蓄積効果を防ぎながらチップサイズを小さく、高耐圧化が実

現できる。

【0047】

次に、第二導電型ウェル領域と、第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングとの間隔を $1 \mu m$ 以下、望ましくは $0.5 \mu m$ 以下とする。

第二導電型ウェル領域と一番目の第二導電型ガードリングとの間隔を変えた2次元シミュレーションと試作デバイスについて求めた、間隔と耐圧 V_{br} (V)との関係を図15に示す。横軸は間隔 (μm)、縦軸は耐圧 V_{br} (V) である。この時の n^- ドリフト層の特性は $\rho = 22.5 \Omega cm$ 、厚さ $t = 57.0 \mu m$ の Si を使用した。 p ウェル領域、ガードリングの接合深さは $3.5 \mu m$ である。

【0048】

p ウェル領域から一番目のガードリング迄の間隔が離れるに従い、耐圧は単調に低下して、 $3 \mu m$ で n^- ドリフト層と従来耐圧構造の組み合わせの耐圧 (c2線) とほぼ同じになってしまう。

図15から、 p ウェル領域と1本目のガードリングとの間隔は $1 \mu m$ 以下とすることで n^- ドリフト層の持つ耐圧のおおむね 95% 以上 (c1 線) が確保でき、従来構造 (c2 線) より 5% 耐圧向上可能となることがわかる。更に、 p ウェル領域と1本目のガードリングとの間隔を $0.5 \mu m$ 以下とすると、耐圧が従来構造より約 7.5% 向上することになる。

【0049】

オン抵抗と耐圧の関係は、 $R_{on} \propto V_{br}^{2.5}$ と知られている。従って、間隔を $0.5 \mu m$ 以下とすると、オン抵抗の 20% 低減可能であり、画期的效果が得られる。

加えて、前記ウェルと前記1番目のガードリングとが半導体表面部分で接続された場合は表面部の接続部分が空乏化すれば電界強度の緩和効果は最大で耐圧は最も高く出来る。

【0050】

なお、図15で p ウェル領域と一番目のガードリングの接続を示す $0 \mu m$ から p ウェルとガードリングの重なりを示す負の寸法領域まで耐圧は上昇し、 -1μ

m 程度で飽和している。この理由は、ガードリングが p ウェル領域から離れると、p ウェル領域の p n 接合の曲率形状により電界強度が増加して耐圧低下が発生し、近づくと曲率形状に対する電界強度が緩和されて、p ウェル領域とガードリングの重なりが $1 \mu m$ 程度で曲率形状効果が概ね無くなるからである。

【0051】

更に、第二導電型ウェル領域側から数えて一番目と二番目の第二導電型ガードリングの間隔を $1.5 \mu m$ 以下、望ましくは $1.0 \mu m$ 以下、更に $0.5 \mu m$ 以下とする。

一番目と二番目の第二導電型ガードリングの間隔をを変えた2次元シミュレーションと試作デバイスについて求めた、間隔と耐圧 V_{br} (V)との関係を図16に示す。横軸は間隔 (μm)、縦軸は耐圧 V_{br} (V) である。

【0052】

p ウェル領域と1本目ガードリングとの間隔が $0.5 \mu m$ であるものを d1 線で示し、 $1.0 \mu m$ であるものを d2 線で、 $1.5 \mu m$ であるものを d3 線で示している。2本目以降のガードリングに求められる重要な項目は1本目ガードリングで設定した耐圧を如何に落とさないかである。そこで1本目と2本目のガードリング間隔を $1.5 \mu m$ 以下とすることで p ウェルと1本目ガードリングの関係で決まる耐圧のおおむね 98% 以上が確保出来る。 $1.0 \mu m$ 以下とすることで 99% 以上、 $0.5 \mu m$ 以下とすることでおおむね 99.5% 以上が確保可能な耐圧構造が可能となる。

【0053】

上に述べた理由と同じく、1番目のガードリングと2番目のガードリングとの間隔を狭くする程、電圧支持層との接合部分の電界強度が緩和出来て、高耐圧化が可能となる。

更に、第二導電型ウェル領域側から数えて二番目と三番目の第二導電型ガードリングの間隔を $2.0 \mu m$ 以下、望ましくは $1.0 \mu m$ 以下とする。

【0054】

二番目と三番目の第二導電型ガードリングの間隔をを変えた2次元シミュレーションと試作デバイスについて求めた、間隔と耐圧 V_{br} (V)との関係を表1に示す。

す。パラメータは第二導電型ウェル領域と一番目の第二導電型ガードリングとの間隔である。一番目と二番目の第二導電型ガードリングの間隔は $1.0\mu m$ とした。

【0055】

【表1】

3本ガードリングの間隔と耐圧				
pウェル領域と 1本目との間隔 l_1 (μm)	1本目と 2本目との間隔 l_2 (μm)	2本目と 3本目との間隔 l_3 (μm)	耐圧 V_{br} (V)	1 ₁ と1 ₂ との組 み合わせに対する 比率 (%)
0.5	1.0	1.0	738	99.6
0.5	1.0	2.0	737	99.4
1.0	1.0	1.0	732	99.6
1.0	1.0	2.0	730	99.3

何れも2本目と3本目のガードリング間隔を $2.0\mu m$ 以下とすることで、pウェルと1本目、1本目と2本目のガードリングで決まる耐圧のおおむね99%以上が確保できている。 $1.0\mu m$ 以下とすれば、前記耐圧のおおむね99.5%以上が確保できている。これらは前記と同じく、接合部分の電界強度が緩和出来て、高耐圧化が可能となるのである。

【0056】

三番目の第二導電型ガードリングと四番目の第二導電型ガードリングとの間隔が $2.5\mu m$ 以下、望ましくは $2.0\mu m$ 以下とすれば、同様に接合部分の電界強度が緩和出来て、高耐圧化が可能となる。

第二導電型ウェル領域と第二導電型ガードリングのうちの接合深さの浅い方の深さを d_1 としたとき、前記第二導電型ウェル領域と第二導電型ウェル領域側から数えて一番目の第二導電型ガードリングとの間隔を $d_1/4$ 以下、望ましくは $d_1/8$ 以下とする。

【0057】

これらは、少し見方を変えて第二導電型ウェル領域、または第二導電型ガード

リングの接合深さを基準にして、第二導電型ウェル領域と一番目の第二導電型ガードリングとの間隔を規定したものである。前記同様接合部分の電界強度が緩和出来て、高耐圧化が可能となる。

また、第二導電型ガードリングの接合深さを d_2 としたとき、一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間隔を $d_2 / 4$ 以下、望ましくは $d_2 / 8$ 以下とする。

【0058】

更に、二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔を $d_2 / 4$ 以下、望ましくは $d_2 / 8$ 以下とする。

これらも、見方を変えて第二導電型ガードリングの接合深さを基準にして、一番目の第二導電型ガードリングと二番目の第二導電型ガードリング、または二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔を規定したものが二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔を規定したものである。前記同様接合部分の電界強度が緩和出来て、高耐圧化が可能となる。

【0059】

第二導電型ウェル領域と一番目の第二導電型ガードリングとの間隔を l_1 、一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間隔を l_2 としたとき、 $l_2 - l_1$ を $1 \mu m$ 以下とし、一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間隔を l_2 、二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔を l_3 としたとき、 $l_3 - l_2$ を $1 \mu m$ 以下とする。更に、二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間隔を l_3 、三番目の第二導電型ガードリングと四番目の第二導電型ガードリングとの間隔を l_4 としたとき、 $l_4 - l_3$ を $1 \mu m$ 以下とする。

【0060】

これも見方を変えたもので、隣り合った二つの間隔が余りに違い過ぎると、大きな方の部分で電解強度が高くなり、降伏してしまう。それを避けるためには、少なくとも四番目のガードリング付近までは、隣り合った二つの間隔の差は $1 \mu m$ 以下とするのがよい。

但し、間隔の差 $l_2 - l_1$ 、 $l_3 - l_2$ 、 $l_4 - l_3$ を $0.5 \mu m$ より小さく設定していくと

、耐圧を落とさない効果はあるが、ガードリング間の電位差が小さくなり寸法効率が悪くなることから、間隔の差は $0.5\mu m$ 程度、すなわち $0.2 \sim 0.8\mu m$ の範囲が最適である。

【0061】

第二導電形ガードリングの数が多い場合には、その幅について、例えば一番目の第二導電型ガードリングの幅が、五番目の第二導電型ガードリングの幅より大きく、二番目の第二導電型ガードリングの幅が、六番目の第二導電型ガードリングの幅より大きく、三番目の第二導電型ガードリングの幅が、七番目の第二導電型ガードリングの幅より大きいと規定する。

【0062】

その様にすれば、外側のガードリング付近よりも高い電界強度となる内側のガードリングの電界強度を緩和することが出来るからである。

更に、第二導電型ウェル領域と一番目の第二導電型ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置する。

その様に導電体膜を配置することにより、耐圧構造表面の電荷が半導体表面上に及ぼす影響を遮蔽出来るので、安定した耐圧が確保出来る。

【0063】

特に、前記導電体膜がフローティング電位であるものとする。

上記の効果は前記導電体がフローティング電位であっても効果に変わりは無いので、隣接する同様の導電体膜と接続する必要が無い。

全く同様に、一番目の第二導電型ガードリングと二番目の第二導電型ガードリングとの間、二番目の第二導電型ガードリングと三番目の第二導電型ガードリングとの間、三番目の第二導電型ガードリングと四番目の第二導電型ガードリングとの間の前記電圧支持層表面に絶縁膜を介して導電体膜を配置しても同じ効果が得られる。

【0064】

またそれらもフローティング電位として良い。

前記電圧支持層は、第一導電型の半導体領域からなるものでも、また第一導電型半導体領域と第二導電型半導体領域を交互に配置したいわゆる超接合型として

も良い。

半導体装置の表面には保護のため、有機高分子材料膜からなるを保護膜を配置するものとする。

【0065】

半導体表面に配置された第二導電型ウェル領域に囲まれて配置された第一導電型の表面ドレイン領域の、前記第二導電型ウェル領域より浅い領域における抵抗率が、前記第二導電型ウェル領域より深い領域の電圧支持層の抵抗率より低くすると良い。

そのようにすれば、先に述べたカウンタードープ法と同じく、第二導電型ウェル領域に囲まれて配置された表面ドレイン領域におけるJ F E T抵抗の低減に効果がある。特に本発明では、表面ドレイン領域の面積比率を従来のものに比べ小さく規定していることから、J F E T抵抗が大きくなりがちであるから、カウンタードープの効果も大きい。

【0066】

【発明の実施の形態】

以下に本発明の実施形態を添付図面に基づいて説明する。

【実施例1】

図2は本発明第一の実施形態のnチャネル縦型MOSFETの、主電流が流れる活性部分の部分断面図である。MOSFETのチップには、主に周縁領域に耐圧を保持するガードリング、フィールドプレートといった耐圧構造部分が設けられるが、その部分については後述する。

【0067】

低抵抗のn⁺ドレイン層11上の高比抵抗のn⁻ドリフト層12の表面層に選択的にpウェル領域13が形成され、そのpウェル領域13の内部にn⁺ソース領域15が形成されている。pウェル領域13の間には、n⁻ドリフト層12の一部であるn⁻表面領域14が表面に達している。21はコンタクト抵抗を改善するための高不純物濃度のp⁺コンタクト領域である。

【0068】

n⁺ソース領域15とn⁻表面領域14とに挟まれたpウェル領域13の表面

上には、ゲート絶縁膜17を介して多結晶シリコンのゲート電極18が設けられている。19は n^+ ソース領域15と p^+ コンタクト領域21と共に共通に接触するソース電極である。このようにソース電極19はゲート電極18の上および側方に形成された層間絶縁膜22を介してゲート電極18上に延長されることが多い。 n^+ ドレイン層11の裏面側には、ドレイン電極20が設けられている。

【0069】

このデバイスの動作機構を簡単に説明する。

阻止状態では一般に接地されているソース電極19と同電位の p ウェル領域13から n^- ドリフト層12側に向かって空乏層が広がって、空乏層の幅と電界強度で決まる耐圧が確保される。空乏層の広がりは n^- ドリフト層12の厚さと比抵抗とできまり、高耐圧を得る為には比抵抗を高く、厚さを厚くすれば良い。

【0070】

ゲート電極18にソース電極19に対してプラス電位を印加すると、ゲート電極17を介して p ウェル領域13の表面層16に反転層が形成されてチャネルとして動作し、キャリアとして電子が n^+ ソース領域15からチャネルを通して n^- 表面ドレイン層14に流れ、 n^- ドリフト層12、 n^+ ドレイン層11を経てドレイン電極20に流れ、オン状態となる。

【0071】

図2の断面図は、図36の従来のものと良く似ており、異なっている点は p ウェル領域13の間の n^- 表面領域14の幅が狭いことである。

むしろこの実施例1の縦型MOSFETの特徴を良く表しているのは、図1の半導体基板表面の平面図である。なお図1では、通常半導体素子の周縁領域に設けられる耐圧構造部を、本発明の本質に係わらないため省略している。

【0072】

図1において、 p ウェル領域13が、多数の1方向に伸びたストライプ状の n^- 表面領域14を囲んで配置されている。ストライプ状の n^- 表面領域14の長さが数種類あるのは、図3のチップ表面の電極配置図におけるソース電極19、ゲート金属電極27に対応させるためである。ソース電極19の幅が広い部分では、長いストライプ状 n^- 表面領域14aが配置され、ゲート金属電極27が入

り込んでいる部分では短いストライプ状 n^- 表面領域14b、ゲート電極パッド29が設けられてゲート金属電極の幅が広い部分では、更に短いストライプ状 n^- 表面領域14cとなっている。

【0073】

図3において、ソース電極19の内部に外部端子と接続するためのソースパット28が設けられている。ソース電極19を取り囲み、また一部がソース電極19の内部に向かってゲート金属電極27が配置され、ソース電極19の内部に向かったゲート金属電極27の一部に外部端子と接続するためのゲートパット29が設けられている。図3のなかの最外周の周縁電極30は、ドレイン電極20と同電位とされ、一般的に耐圧構造部の最外周に設けられる空乏層の広がりを抑えるためのストップ電極である。

【0074】

図4は、図1の半導体表面の各領域を作成するマスクとなるゲート電極18の形状、およびゲート電極18とソース電極接触部24との相対配置関係を示す平面図である。但し、ストライプの長さは一定の部分である。共にストライプ状のソース電極接触部24とゲート電極18とが、交互に配置されている。1方向に延びたゲート電極18の終端部は、一度細くなった後、再び広くなっている。このゲート電極が終端の前に細くなっているのは活性領域以外のゲート電極面積を最小限にする為と、工程上ゲート電極18をマスクとしてpウェル領域13を形成する場合、アクセプタ不純物濃度の拡散により、できるだけ前記の細くなったゲート電極の下を覆うようにすることでCressの低減が可能となるためである。また、ゲート電極18の端が広くなっているのは、ゲート金属電極との接続のための接合部分26が設けられているためである。この接合部分26の上に図4のゲート金属電極27が位置合わせされる。

【0075】

もう一度図2に戻るが、ストライプ状 n^- 表面領域14a、b、cの端の先に、pウェル領域13で囲まれた小さな n^- 表面領域14dが配置されているのが見られる。この n^- 表面領域14dは、ゲート電極18の端の接合部分26の下になった部分であり、接合部分26の寸法を加工工程の能力上必要な寸法とした

とき、pウェル領域13で囲いきれなかったものである。工程加工能力が十分に高ければ、このn⁻表面領域14dはpウェル領域13で覆われてしまって消滅する。

【0076】

図5は、図1のA-A線に沿った部分断面図である。接合部分26におけるゲート電極18とゲート金属電極27との接続の様子が見られる。17はゲート酸化膜、17aは厚いフィールド酸化膜であり、19はソース電極である。このA-A線に沿った部分の表面電極上の位置を図3にA-A線として示した。

この実施例1のMOSFETの主な寸法例は次のような値とした。

【0077】

図4のゲート電極18の幅は5.6μm、長さは3.6mm、ゲート電極18間は9.4μm、すなわちセルピッチを15μmとした。そのゲート電極18をマスクにpウェル領域13を形成する不純物を導入する。これにより、図1のn⁻表面領域14aの幅は、1.6μm、その間のpウェル領域13の幅は13.4μmとなる。図2のpウェル領域13の拡散深さは約4μm、n⁺ソース領域15の幅は2.5μm、拡散深さは0.3μm、図4のソース電極接触領域24の幅は7μmである。このとき、半導体表面におけるpウェル領域13の面積に対するn⁻表面領域14の面積比率はおよそ0.12となる。

【0078】

ちなみに、同じn⁻表面領域14のpウェル領域13の面積に対する面積比率は、従来の図37、38、39のMOSFETにおいてそれぞれ、約3、2、1である。

図13は本実施形態のnチャネル縦型MOSFETの耐圧構造部分の部分断面図である。図の左方には活性部があり、右端はMOSFETの端である。一例として耐圧クラスは600Vとする。

【0079】

n⁻ドリフト層12の表面層端部にはp周縁領域33が形成されており、その表面に周縁電極30が設けられている。37は表面保護のためのポリイミド膜である。

$g_1 \sim g_{14}$ は p ガードリングである。すなわちソース電極 19 とドレイン電極電位の周縁電極 30 との間に 14 本のガードリング $g_1 \sim g_{14}$ が設けられている。二本のガードリングの間の下方に記した数値はそれらのガードリング間の間隔を μm 単位で示しており、ソース電極 19 から遠ざかるに従って間隔が広くなっている。

【0080】

耐圧 $V_{DSS} = 600V$ (以下 V_{br} とも記す) のため、 n^- ドリフト層 12 の比抵抗 : $20 \Omega cm$ 、厚さ $50 \mu m$ とした。

耐圧 $V_{br} = 600V$ に対し、ガードリングの数が 14 本となっている。この本数は、先に述べたガードリング本数 n を規定する式、 $1.0 \times V_{br} / 100$ から求められる値、 $1.0 \times 600 / 100 = 6$ 本より多い。

【0081】

p ウェル領域 13 と 1 本目ガードリング g_1 との間隔は $0 \mu m$ で接続している。1 本目ガードリング g_1 と 2 本目ガードリング g_2 との間隔は $0.5 \mu m$ 、以降各ガードリング間隔は順番に $1 \mu m$ 、 $1.5 \mu m$ 、 $2 \mu m$ 、 $2.5 \mu m$ 、 $3 \mu m$ 、 $3.5 \mu m$ 、 $4 \mu m$ 、 $5 \mu m$ 、 $6 \mu m$ 、 $7 \mu m$ 、 $8 \mu m$ 、 $9 \mu m$ と $0.5 \sim 1 \mu m$ ずつ大きくなるように設定されている。また、ガードリング g の幅は 1 本面から順に $14.5 \mu m$ 、 $14.5 \mu m$ 、 $13.5 \mu m$ 、 $13.5 \mu m$ 、 $13.5 \mu m$ 、 $12.5 \mu m$ 、 $12.5 \mu m$ 、 $11.5 \mu m$ 、 $11.5 \mu m$ 、 $10.5 \mu m$ 、 $10.5 \mu m$ 、 $10.5 \mu m$ と遠くなる程幅が小さくなるように設定されている。ガードリング g の深さは p ウェル領域 13 と同じく $4 \mu m$ とした。

【0082】

デバイスの耐圧は一般にソース電極 19 をグランド電位にしてドレイン電極 20 に正バイアスを印加した場合、ソース電位となる p ウェル領域 13 と n^- ドリフト層 12 間の p n 接合から空乏層が n^- ドリフト層 12 に向かって広がる。

活性部ではこの空乏層は半導体表面の p ウェル領域 13 から下側の n^- ドリフト層 12 に向かって広がる。

【0083】

一方耐圧構造部分では、pウェル領域13から下側のn⁻ドリフト層12への他に、横方向に向かっても空乏層が広がる。この横方向に広がる空乏層に対してガードリングg₁～g₁₄が非常に近くに設置されているため、pウェル領域13と1番目のpガードリングg₁との間の半導体表面部分ではpウェル領域13の拡散層が曲率を持つことによる形状効果で増加する電界強度を抑制出来る。同様に各ガードリング間の電界強度を抑制出来る。

【0084】

上記の設定とすることで、耐圧は664Vとなつた。これは比抵抗20Ωcm、n⁻ドリフト層の厚さ50μmの場合の理論耐圧684Vの97%の耐圧が確保できたことになる。

従来の耐圧構造ではpウェル領域とn⁻ドリフト層との間のpn接合部分の曲率形状部分が耐圧を低下させる原因となっていたが、その直近に1番目のガードリングを配置することにより、pウェル領域から伸びる空乏層が簡単に1番目のリングに到達し、曲率形状部分の電界強度を極端に低減することが可能となったものである。

【0085】

同様の関係が1番目のガードリングと2番目のガードリング間、2番目のガードリングと3番目のガードリング間のように隣り合うガードリング間で成立することから、n⁻ドリフト層の比抵抗が低くても高耐圧化が可能となつた。

更に、Huの論文 [Rec. Power Electronics Specialists Conf., San Diego, 1979(IEEE, 1979) p.385] 等によれば、ユニポーラデバイスのオン抵抗R_{on}は

【0086】

【数3】

$$R_{on} \propto (V_{br})^{2.5}$$

で表され、耐圧V_{br}の2.5乗に比例することが知られている。

つまり耐圧が1%向上すると、(同じ比抵抗で厚さの薄いウェハを使用できるから) オン抵抗は約2.5%低減できることになる。従って、耐圧5%の向上は、オン抵抗の約13%の低減につながり、耐圧7.5%の向上はオン抵抗で20

%の大幅低減と画期的効果を持つことになる。

【0087】

ここで、pウェル領域13と1本目ガードリング g_1 との間隔を $0\ \mu\text{m}$ として接続した意味について、付け加える。

pウェル領域13と1本目ガードリング g_1 とは、間隔が $0\ \mu\text{m}$ で接続しているので、1本目ガードリング g_1 は一見意味が無いようにも考えられるが、図15に見られるようにそれらが接続し、或いは重なり合っても耐圧の向上がもたらされる。

【0088】

pウェル領域13と1本目ガードリング g_1 との間隔が $0\ \mu\text{m}$ である意味はもう一つある。pウェル領域13と1本目ガードリング g_1 とを形成するための不純物導入用マスクにおいて、それらの間隔が0になるようにして置くことによって、かりにプロセスのバラツキにより、 $0.5\ \mu\text{m}$ 以下のオーバーエッティングがあったとしても、pウェル領域13と1本目ガードリング g_1 との間隔は $0.5\ \mu\text{m}$ 以下に抑えられる。このようにプロセスバラツキをある程度補償する効果をもっているのである。

【0089】

耐圧クラスの異なるMOSFETを試作し、図39の従来のMOSFETと比較した。図12は、耐圧と R_{onA} との関係を比較した特性比較図である。横軸は耐圧 BV_{DSS} 、縦軸はオン抵抗 R_{onA} であり、いずれも対数表示している。 R_{onA} はほぼ従来の半分になっており、本発明の効果が非常に大きいことがわかる。図の傾向からこの効果は、試作していない耐圧 150 V においても期待出来る。

【0090】

更に、試作したMOSFETについて、オン抵抗とゲートドレイン間容量との積 $[R_{on} \cdot C_{rss}]$ を3種類の耐圧クラス毎に従来品と比較し、表2にまとめた。

【0091】

【表2】

耐圧(V)	170	660	990
実施例1のMOSFET	1.8ΩpF	2.95ΩpF	15.0ΩpF
従来MOSFET	8.8ΩpF	17.5ΩpF	80ΩpF

$R_{on} \cdot C_{rss}$ はいずれも従来の 1/5 程度になっている。

デバイスの損失はオン抵抗とスイッチング損失で決まり、スイッチング損失は C_{rss} が小さい程小さくなることから $[R_{on} \cdot C_{rss}]$ 積の小さいデバイスが損失が小さいことになる。この特性も本発明品は従来品より大幅に小さくなつていて効果が非常に大きいことが分かる。

【0092】

ゲート電極 18 の幅を広げると、図 6 の傾向と同様に、 R_{on} の変動はあまり無いものの C_{rss} が増大し、スイッチング損失が大きくなる。逆に、ゲート電極 18 の幅を狭めると C_{rss} は低下するが、 R_{on} が増大し定常損失が大きくなる。

1 方向に伸びたゲート電極の 1 方向に沿った長さが実施例 1 ではチップの主電流が流れる活性部のサイズにほぼ等しく 4 mm 程度である。この長さはチップの活性部のサイズとほぼ等しい長さでも良いが、内部ゲート抵抗を増加させない為に 500 μm 乃至 100 μm 以上の間隔でゲート電極と接続する部分を設けても勿論かまわない。

【0093】

なお、図 2 の断面図が、図 3 6 の従来のものと略同じであることからわかるように、実施例 1 の MOSFET の製造工程は、従来のものと略同じで良く、ただパターンを変えるだけで実現できる。

【実施例 2】

図 17 は本発明第二の実施形態の n チャネル縦型 MOSFET の活性部の部分断面図、図 18 は斜視図である。

【0094】

実施例1の縦型MOSFETの図2との違いは、二つのpウェル領域13の間のn⁻表面領域14であったところにnカウンタードープ領域34が形成されている点である。

nカウンタードープ領域34は、例えばドーズ量 $2.5 \sim 4 \times 10^{12} \text{ cm}^{-2}$ の磷イオンのイオン注入および熱処理によって形成される。深さは約 $4 \mu\text{m}$ である。このnカウンタードープ領域34を形成することによって、pウェル領域13に囲まれている表面ドレイン領域で構成されるJFET抵抗が低減され、直列抵抗分が低減されて、オン抵抗の低下につながる。

【0095】

本実施例では、表面ドレイン領域の面積比率を小さくしているので、JFET抵抗が増大する。このため、カウンタードープによるオン抵抗の低減効果は大きい。

図19は第二の実施形態のnチャネル縦型MOSFETの耐圧構造部の部分断面図である。実施例1の縦型MOSFETの図13との違いは、耐圧 $V_{br} = 600 \text{ V}$ に対し、ガードリングの数が6本となっていることである。

【0096】

この本数は、ガードリング本数nを規定する前記の式から求められる $1.0 \times V_{br} / 100 = 6$ 本と同じである。

この設定とすることで、622Vと理論耐圧684Vの92%の耐圧が確保できた。勿論ガードリング本数を増せば、耐圧はもっと高くできる。

[実施例3]

図20は本発明第三の実施形態のnチャネル縦型MOSFETの耐圧構造部分の部分断面図である。

【0097】

実施例1の縦型MOSFETの図13との違いは、ガードリング数が6本になっていることと、二つのpガードリングの間のフィールド酸化膜17a上に導電体である多結晶シリコン膜38が形成されている点である。

デバイスは実使用状態ではドレイン電極20、ソース電極19間に電圧が印加

されていている。長期の電圧印加時の信頼性に影響を与える項目に、デバイス表面の電荷蓄積効果がある。耐圧構造部の両端にある電極間にも電圧が印加されると、耐圧構造部の表面に電荷が誘起され、絶縁層を介して半導体表面、特に n^- ドリフト層12の表面部分に影響を与え、半導体内部の電界を乱して耐圧劣化に繋がる。

【0098】

この例では、耐圧構造部の層間絶縁膜22と n^- ドリフト層12の表面のフィールド酸化膜17a表面との中間に多結晶シリコン膜38を設けることにより、静電遮蔽効果を利用して表面電荷の影響を抑えることができる。なお、活性部ではソース電極19とゲート電極18とが n^- ドリフト層表面を覆っているため、表面電荷の影響は受けない構造となっている。

【0099】

すなわち、pウェル領域13と1番目のガードリングg1との間及びガードリング間の n^- 表面領域14に、フィールド酸化膜17aを介して導電体である多結晶シリコン膜38を配置することにより、表面電荷蓄積効果が防止でき、信頼性上の効果が期待できる。耐圧は実施例2とほぼ同じであった。

[実施例4]

図21は本発明第四の実施形態のnチャネル縦型MOSFETのソース電極接觸部24とゲート電極18との相対配置関係を示す平面図である。耐圧構造部は、実施例1と同様とした。

【0100】

実施例1の図4で説明した構造と異なる点は、ストライプ状のゲート電極18の両端の他に、その中間にもゲート金属電極との接合部分26が設けられている点である。このようにすることによって、内部ゲート抵抗の低減およびオン抵抗の増加抑制に効果がある。

半分の長さのストライプ状ゲート電極18のそれぞれの端に接合部分26を設けるより、実施例4の構造は活性部面積の効率を上げることができる。

【0101】

半導体基板表面の平面図は、途中で n^- 表面領域14が途切れ、小さな n^- 表

面領域が挟まれる。加工精度が高ければ、その小さなn⁻表面領域は無くすことができる。

この実施例4では、ゲート金属電極との接合部分26が、ゲート電極18の中間に1箇所設けられているだけであるが、当然同様の1方向に延びたゲート電極に対して複数箇所設けることも可能である。

【0102】

【実施例5】

図22は本発明第五の実施形態のnチャネル縦型MOSFETの半導体基板表面の平面図である。なお図22は図2と同様に耐圧構造部は省略されている。耐圧構造部は、実施例1と同様とした。

この例ではn⁻表面領域14が、基本的に実施例1の図1と同様に、pウェル領域13で囲まれ、1方向にのびた形状をしている。図2との違いは、n⁻表面領域14が1方向に延びていて、しかも延びた方向に対しておおむね垂直な方向に複数の凸部31を有している点である。

【0103】

この凸部31の配置頻度はほぼ250μm当たり1個に設定されており、また、この凸部31のn⁻表面領域14の延びた方向と垂直な方向への寸法は約0.5μmである。

図23は図22の半導体表面の各領域を作成するマスクとなるゲート電極18の形状、およびゲート電極18とソース電極接触部24との相対配置関係を示す平面図である。

【0104】

図23の形状が図4の形状と異なる点は、1方向に延びたゲート電極18に、延びた方向に対して垂直にゲート電極のブリッジ32が設けられていることである。このゲート電極のブリッジ32の頻度は、ほぼ250μm当たり1個に設定されている。また、このゲート電極ブリッジ32の幅は2.5μmに設定している。

【0105】

このゲート電極18をマスクとして不純物導入によりpウェル領域13を形成

すると、pウェル領域13の表面横方法への拡散が2μmで設計していることから、ゲート電極のブリッジ32の下は、ブリッジ32の両側からの拡散領域が接続されるので、一本のpウェル領域13となる。但し、ブリッジ32の付け根の下の部分では、両側からの拡散領域が接続されないので、n⁻表面領域の凸部31が残ることになる。

【0106】

この例では、ゲート電極18がブリッジ32で接続されていることから、ゲート抵抗が低減され、オン抵抗も低減される。

[実施例6]

図24は本発明第六の実施形態のnチャネル縦型MOSFETのゲート電極18、およびゲート電極18とソース電極接触部24との相対配置関係を示す平面図である。耐圧構造部は実施例1と同様とした。

【0107】

実施例5の図23で説明した構造と異なる点は、ストライプ状のゲート電極18の両端の他に、その中間にもゲート金属電極との接合部分26が設けられている点である。

このようにすることによって、内部ゲート抵抗の低減およびオン抵抗の増加抑制に効果的である。半分の長さのストライプ状ゲート電極18のそれぞれの端に接合部分26を設けるより、実施例2の構造は活性部面積の効率を上げることができる。

【0108】

半導体基板表面の平面図は、途中でn⁻表面領域14が途切れ、小さなn⁻表面領域が挟まる。加工精度が高ければ、このn⁻表面領域14dは無くすことができる。

このゲート金属電極との接合部分は、この実施例2では1方向に延びたゲート電極の中間に1箇所設けられているだけであるが、当然同様の構造を1方向に延びたゲート電極に対して複数箇所設けることも可能である。

【0109】

[実施例7]

図25は本発明第七の実施形態のnチャネル縦型MOSFETの半導体基板表面の平面図である。図25には実施例1と同様に耐圧構造部は省略している。耐圧構造部は実施例1と同様とした。

図25において、n⁻表面領域14は1方向に延びたストライプ状で、複数が平行に配置され、周囲をpウェル領域13で囲まれている。

【0110】

図26は図25の半導体表面の各領域を作成するマスクとなるゲート電極18の形状、およびゲート電極18とソース電極接触部24との配置関係を示す平面図である。

1方向に延びた形状のゲート電極18が複数配置されている。実施例1の図4と異なる点は、1方向に延びたゲート電極18の幅が全体で同じ幅となっているところである。加工精度が十分に高ければ、このようにゲート電極18の幅内でゲート金属電極接触部26が形成できる。

【0111】

図27は、図25のB-B線に沿った部分断面図である。接合部分26におけるゲート電極18とゲート金属電極27との接続の様子が見られる。17はゲート酸化膜、17aは厚いフィールド酸化膜であり、19はソース電極である。実施例1の図5と比較すると、n⁻表面領域14dがないことがわかる。

このB-B線に沿った表面電極上の位置を図3にB-B線として示した。

【0112】

また、本実施例5ではゲート電極18の1方向に延びた終端部分の角を落として鋭角にならないような形状としているが、直角のまま終端していても本特許の内容の作用・効果に影響は無い。

【実施例8】

次に図28は本発明第八の実施形態のnチャネル縦型MOSFETのゲート電極18の形状、およびゲート電極18とソース電極接触部24との配置を示す平面図である。耐圧構造部は実施例1と同様とした。

【0113】

実施例7の図26で説明した構造と異なる点は、ストライプ状のゲート電極1

8の両端の他に、その中間にもゲート金属電極との接合部分26が設けられている点である。

このようにすることによって、内部ゲート抵抗の低減およびオン抵抗の増加抑制に効果的である。半分の長さのストライプ状ゲート電極18のそれぞれの端に接合部分26を設けるより、実施例2の構造は活性部面積の効率を上げることができる。

【0114】

〔実施例9〕

図29は、本発明実施例9のnチャネル縦型MOSFETの耐圧支持層部分の斜視断面図である。

これまでの例はいずれも電圧支持層が単一のn⁻ドリフト層12であった。しかし、電圧支持層が単一の層でなければならないわけではない。

【0115】

近年、特に高耐圧の半導体装置において、逆電圧印加時には空乏化する高不純物濃度で幅の狭いnドリフト領域42aとp仕切り領域42bとを交互に並べた並列p-n層を電圧支持層とするいわゆる超接合半導体装置が開発されている。

図30は本発明実施例9のnチャネル縦型MOSFETの主要部分の部分断面図である。

【0116】

図30において、低抵抗のnドレイン層11上にnドリフト領域42aとp仕切り領域42bとが交互に配置されており、この並列p-n層42が逆電圧印加時に耐圧をもつことになる。例えばそれぞれの幅が5μm程度の時、不純物濃度は単一のn⁻ドリフト層12の100~1000倍に高濃度化でき、しかも厚さも薄くできて、それだけオン抵抗を低減できる。

【0117】

図31(a)は、耐圧構造部分の半導体基板表面の平面図、(b)はC-C線に沿った断面図、(c)はD-D線に沿った断面図である。

図31(b)では、pガードリングがnドリフト領域42aとp仕切り領域42bと平行に走ることになるが、図31(c)ではpガードリングがnドリフト

領域42aとp仕切り領域42bと直交している。

【0118】

図31(c)では複数のpガードリングがp仕切り領域42bによって短絡されることになるが、p仕切り領域42bの厚さは非常に薄いため、逆バイアス時には空乏化するので問題無いことが実験で確認された。

図31(a)、(b)および(c)に見られるようにnチャネル縦型MOSFETの最外周部分は並列pn層42を止めて、高抵抗領域38とする。

【0119】

なお図30において、nドリフト領域42aとp仕切り領域42bの方向と、pウェル領域13の方向とが平行になっているが必ずしも平行でならなければならぬ訳ではなく、直交しても良い。

【実施例10】

図32は、本発明実施例10のnチャネル縦型MOSFETの耐圧支持層部分の斜視断面図である。

【0120】

低抵抗のnドレイン層11上にnドリフト領域42aとp仕切り領域42bとが交互に配置された並列pn層42、更にその上にn⁻ドリフト層12が形成されている。

その上側のn⁻ドリフト層11にpウェル領域13以上の構造が形成される。

【実施例11】

図33は本発明実施例11のnチャネル縦型MOSFETの耐圧支持層部分の斜視断面図である。実施例9の変形例と見ることができる。

【0121】

すなわち、並列pn層のp仕切り領域42bが薄板状でなく球状とされて、規則的に配置され、nドリフト領域42aはそれを包む領域とされている。

nドリフト領域42aとp仕切り領域42bとの不純物濃度を適当に選ぶことにより、このような構造も考えられる。

【実施例12】

図34は本発明実施例11のnチャネル縦型MOSFETの耐圧支持層部分の

斜視断面図である。これも実施例9の変形例と見ることができる。

【0122】

すなわち、並列p-n層のp仕切り領域42bが薄板状でなく円柱状とされて、規則的に配置され、nドリフト領域42aはそれを囲む領域とされている。

図35(a)は、耐圧構造部分の半導体基板表面の平面図、(b)はE-E線に沿った断面図である。

図35(a)および(b)に見られるようにnチャネル縦型MOSFETの最外周部分は並列p-n層42でなく、高抵抗領域38とする。

【0123】

以上幾つかの例を基に説明したが、活性部と耐圧構造部とは互いに独立であり、自由に組み合わせができる。

特に本発明の耐圧構造は、MOSゲートをもつ半導体装置に限らず、プレーナトランジスタ等のバイポーラ半導体装置にも適用できる。

【0124】

【発明の効果】

以上説明したように本発明は、MOS半導体装置において、第一導電型電圧支持層の表面露出部である第一導電型表面領域が、第二導電型ウェル領域に囲まれており、第一導電型ソース領域を含めた第二導電型ウェル領域の表面積に対して、その表面積の比を0.01~0.2の範囲内とし、或いはその形状を、その幅が $0.1\sim2\mu m$ のストライプ状とすることによって、オン抵抗と耐圧とのトレードオフ関係を大幅に改善し、高耐圧でありながらオン抵抗の低い、更にスイッチング損失も少ないものを実現できることを示した。

【0125】

また、耐圧構造部に関しては、耐圧に応じて沢山のガードリングを、互いに近接して設けることにより、平面接合の場合の理論耐圧の97%以上を容易に実現できるようになった。そして耐圧の向上により、薄いSi基板を用いることが可能になり、オン抵抗の低減につながることも明らかにした。

従来のMOS半導体装置の工程等を変える必要が無く、パターンを変えるだけで大幅な特性改善が可能な本発明は、特にパワー半導体の分野で大きな貢献をな

すものである。

【図面の簡単な説明】

【図1】

本発明実施例1のnチャネル縦型MOSFETの基板表面の平面図

【図2】

実施例1のnチャネル縦型MOSFETの活性部分の部分断面図

【図3】

実施例1のnチャネル縦型MOSFETチップの金属電極平面図

【図4】

実施例1のnチャネル縦型MOSFETのゲート電極、ソース電極配置図

【図5】

図1のA-A線に沿った部分断面図

【図6】

試作したnチャネル縦型MOSFETにおける表面nドレイン領域面積比率と
 C_{rss} 、 R_{on} との関係を示す特性図

【図7】

試作したnチャネル縦型MOSFETにおける表面nドレイン領域の主たる部分の幅と C_{rss} 、 R_{on} との関係を示す特性図

【図8】

試作したnチャネル縦型MOSFETにおける表面nドレイン領域の長さと C_{iss} との関係を示す特性図

【図9】

試作したnチャネル縦型MOSFETにおける表面nドレイン領域の長さと C_{iss} との関係を示す特性図

【図10】

試作したnチャネル縦型MOSFETにおける表面nドレイン領域の長さと R_{on} との関係を示す特性図

【図11】

試作したnチャネル縦型MOSFETにおける表面nドレイン領域の長さと R

○ n との関係を示す特性図

【図12】

本発明の n チャネル縦型MOSFET および比較例における耐圧と RonA の
関係を比較した比較図

【図13】

実施例 1 の n チャネル縦型MOSFET の耐圧構造部分の部分断面図

【図14】

耐圧 Vbr とガードリング本数の関係を示す特性図

【図15】

p ウエルと1本目ガードリングとの間隔と Vbr との関係を示す特性図

【図16】

1 本目と 2 本目ガードリングとの間隔と Vbr との関係を示す特性図

【図17】

本発明実施例 2 の n チャネル縦型MOSFET の活性部分の部分断面図

【図18】

本発明実施例 2 の n チャネル縦型MOSFET の活性部分の部分斜視図

【図19】

本発明実施例 2 の n チャネル縦型MOSFET の耐圧構造部分の部分断面図

【図20】

本発明実施例 3 の n チャネル縦型MOSFET の耐圧構造部分の部分断面図

【図21】

本発明実施例 4 の n チャネル縦型MOSFET のゲート電極、ソース電極配置
図

【図22】

本発明実施例 5 の n チャネル縦型MOSFET の基板表面の平面図

【図23】

本発明実施例 5 の n チャネル縦型MOSFET のゲート電極、ソース電極配置
図

【図24】

本発明実施例6のnチャネル縦型MOSFETのゲート電極、ソース電極配置図

【図25】

本発明実施例7のnチャネル縦型MOSFETの基板表面の平面図

【図26】

実施例7のnチャネル縦型MOSFETのゲート電極、ソース電極配置図

【図27】

図26のB-B線に沿った部分断面図

【図28】

本発明実施例8のnチャネル縦型MOSFETのゲート電極、ソース電極配置図

【図29】

本発明実施例9のnチャネル縦型MOSFETの耐圧支持層部分の斜視断面図

【図30】

本発明実施例9のnチャネル縦型MOSFETの主要部の部分断面図

【図31】

(a)は本発明実施例9のnチャネル縦型MOSFETの耐圧構造部分の半導体基板表面の平面図、(b)はC-C線に沿った断面図、(c)はD-D線に沿った断面図

【図32】

本発明実施例10のnチャネル縦型MOSFETの耐圧支持層部分の斜視断面図

【図33】

本発明実施例11のnチャネル縦型MOSFETの耐圧支持層部分の斜視断面図

【図34】

本発明実施例12のnチャネル縦型MOSFETの耐圧支持層部分の斜視断面図

【図35】

(a) は本発明実施例12のnチャネル縦型MOSFETの耐圧構造部分の半導体基板表面の平面図、(b) はE-E線に沿った断面図

【図36】

従来のnチャネル縦型MOSFETの断面図

【図37】

従来のnチャネル縦型MOSFETの一例のゲート電極の平面図

【図38】

従来のnチャネル縦型MOSFETの別の例のゲート電極の平面図

【図39】

従来のnチャネル縦型MOSFETの更に別の例のゲート電極の平面図

【図40】

従来のnチャネル縦型MOSFETの別の例の断面図

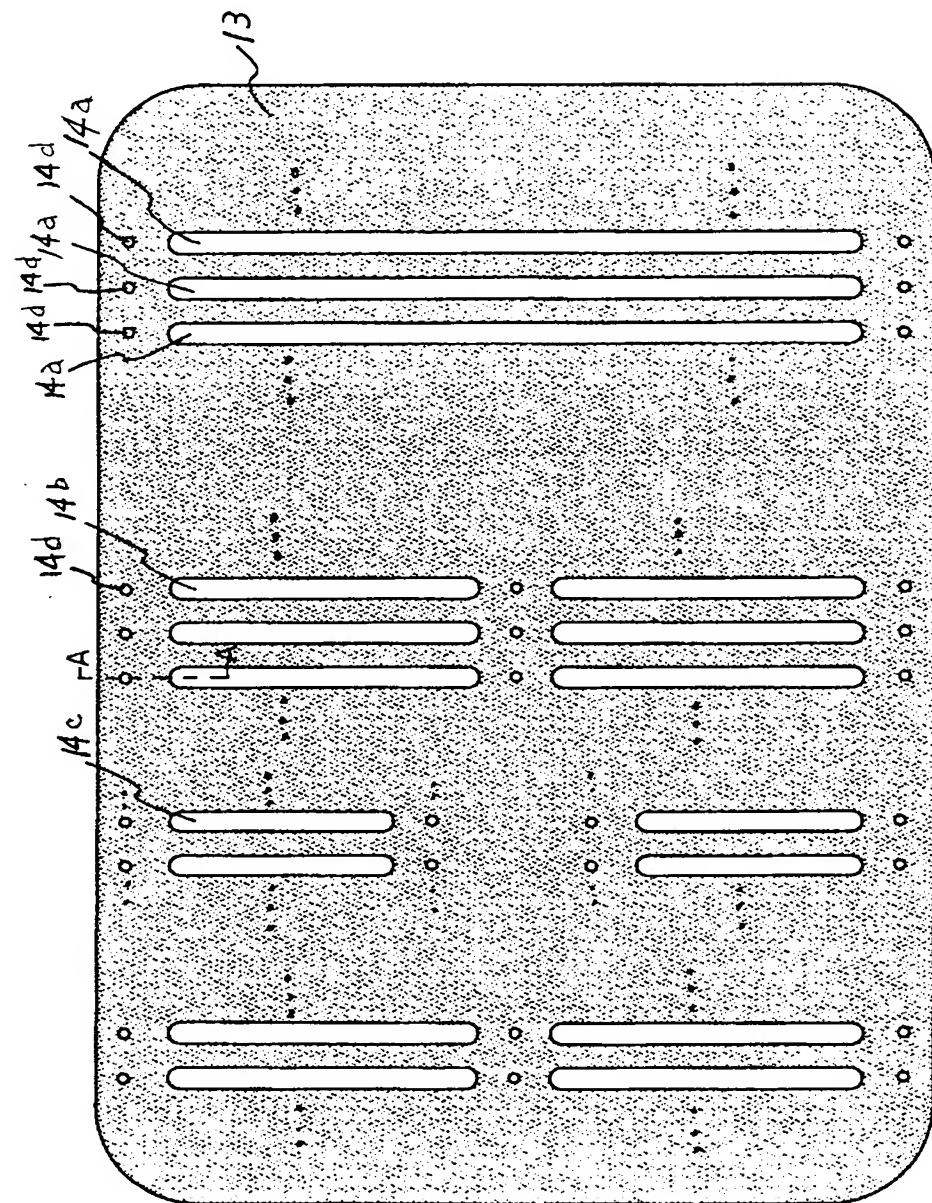
【符号の説明】

- 1 1 n ドレイン層
- 1 2 n⁻ ドリフト層
- 1 3 p ウエル領域
- 1 4、 1 4 a、 1 4 b、 1 4 c、 1 4 d n⁻ 表面領域
- 1 5 n⁺ ソース領域
- 1 6 チャネル領域
- 1 7 ゲート酸化膜
- 1 7 a フィールド酸化膜
- 1 8 ゲート電極
- 1 9 ソース電極
- 2 0 ドレイン電極
- 2 1 p⁺ コンタクト領域
- 2 2 層間絶縁膜
- 2 4 ソース電極接触部
- 2 6 ゲート金属電極接触部
- 2 7 ゲート金属電極

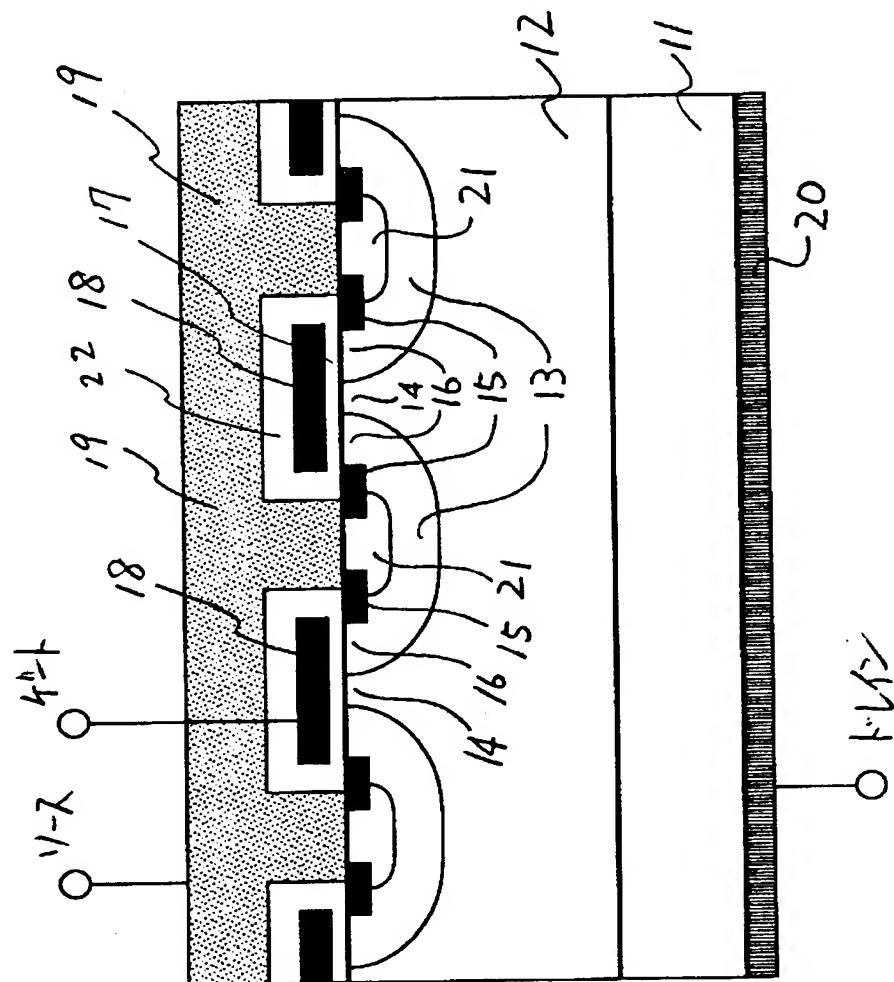
- 2 8 ソース電極パッド
- 2 9 ゲート電極パッド
- 3 0 周縁電極
- 3 1 凸部
- 3 2 ゲート電極ブリッジ
- 3 3 p 周縁領域
- 3 4 n カウンタードープ領域
- 3 5 フィールドプレート
- 3 7 ポリイミド膜
- 3 8 高比抵抗領域
- 4 2 並列 p n 層
- 4 2 a n ドリフト領域
- 4 2 b p 仕切り領域
- g、 $g_1 \sim g_{14}$ ガードリング

【書類名】 図面

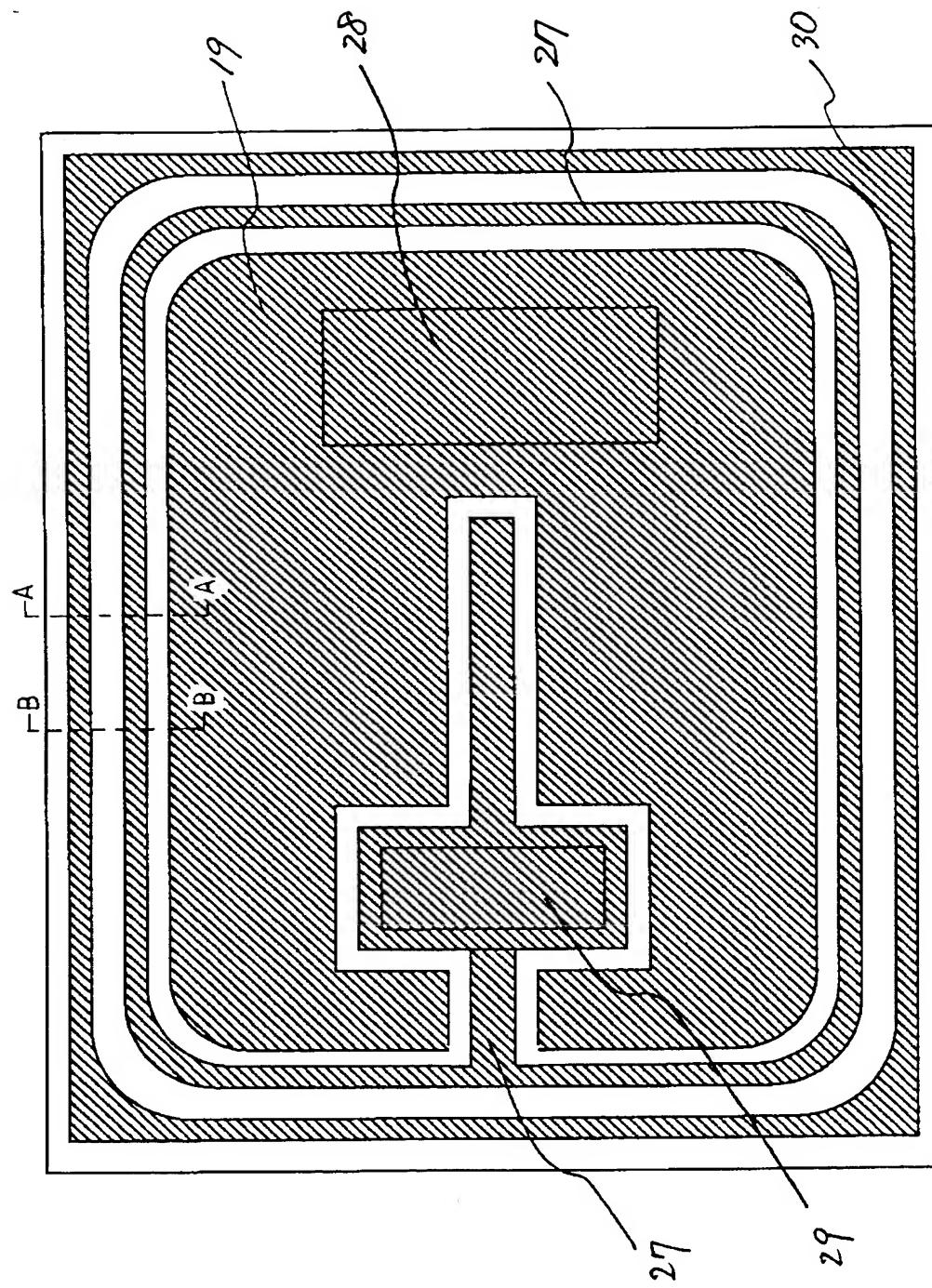
【図1】



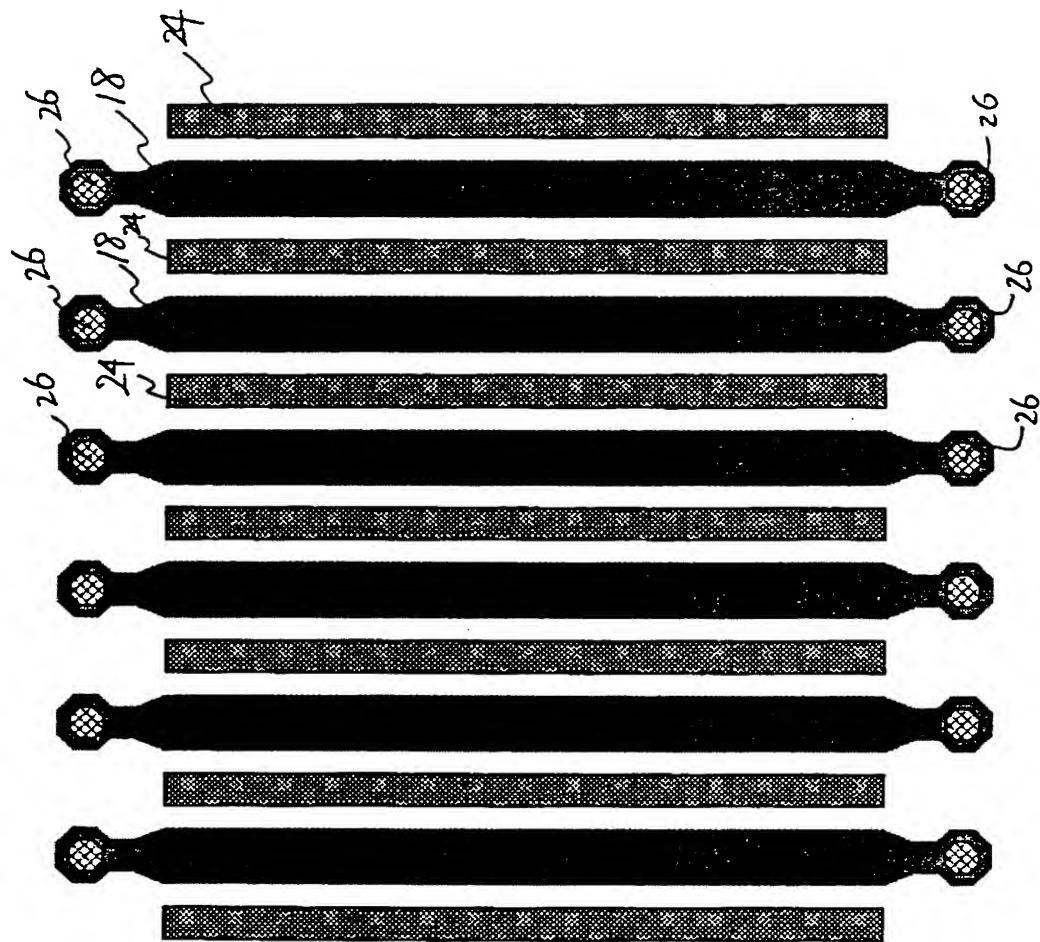
【図2】



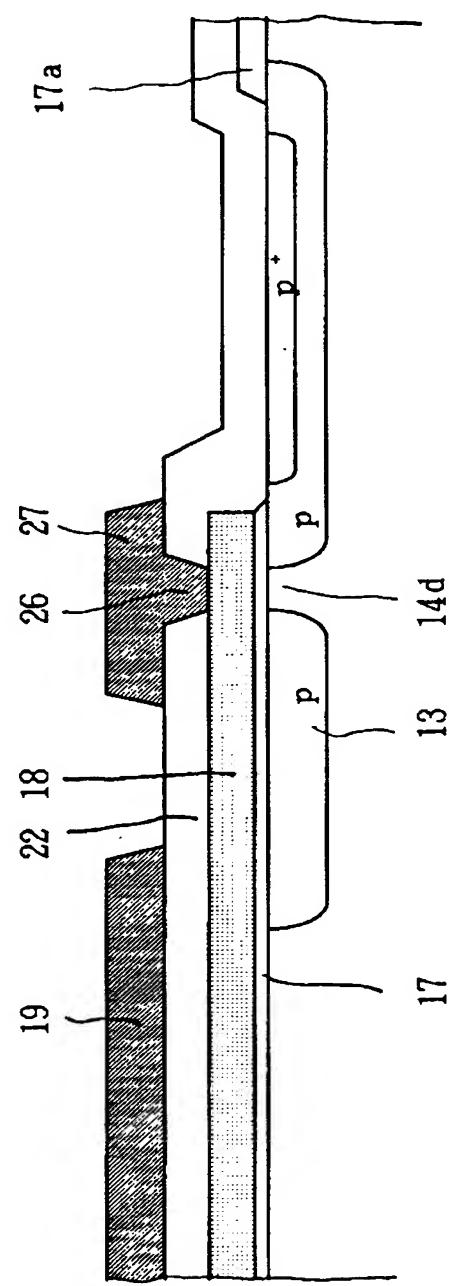
【図3】



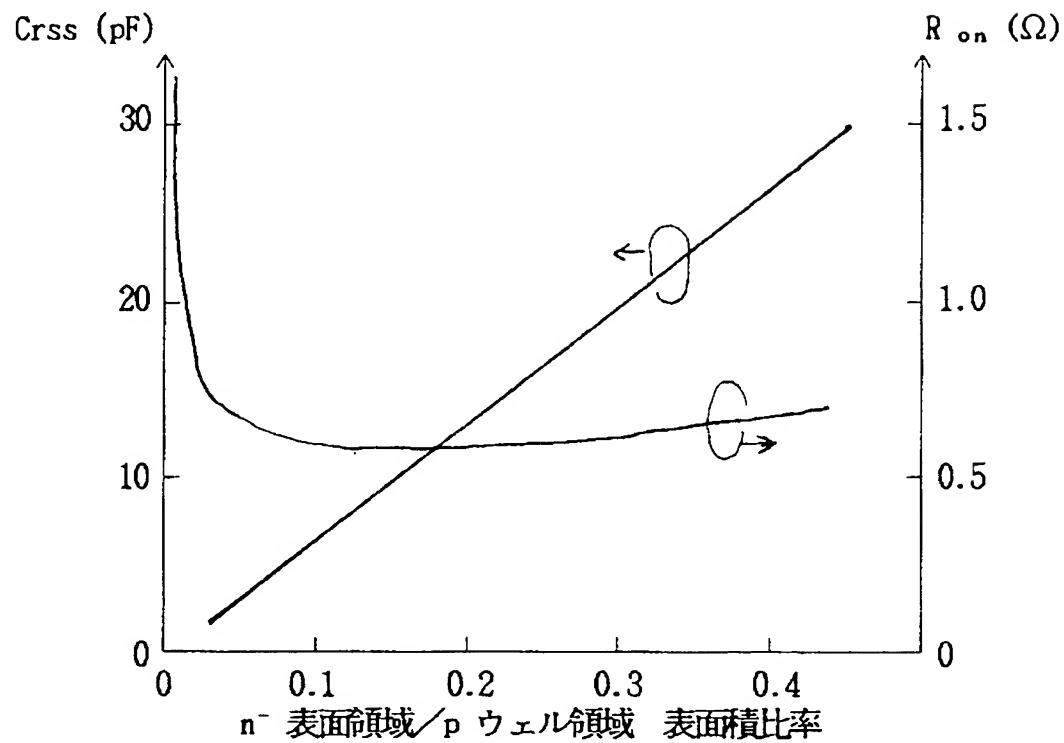
【図4】



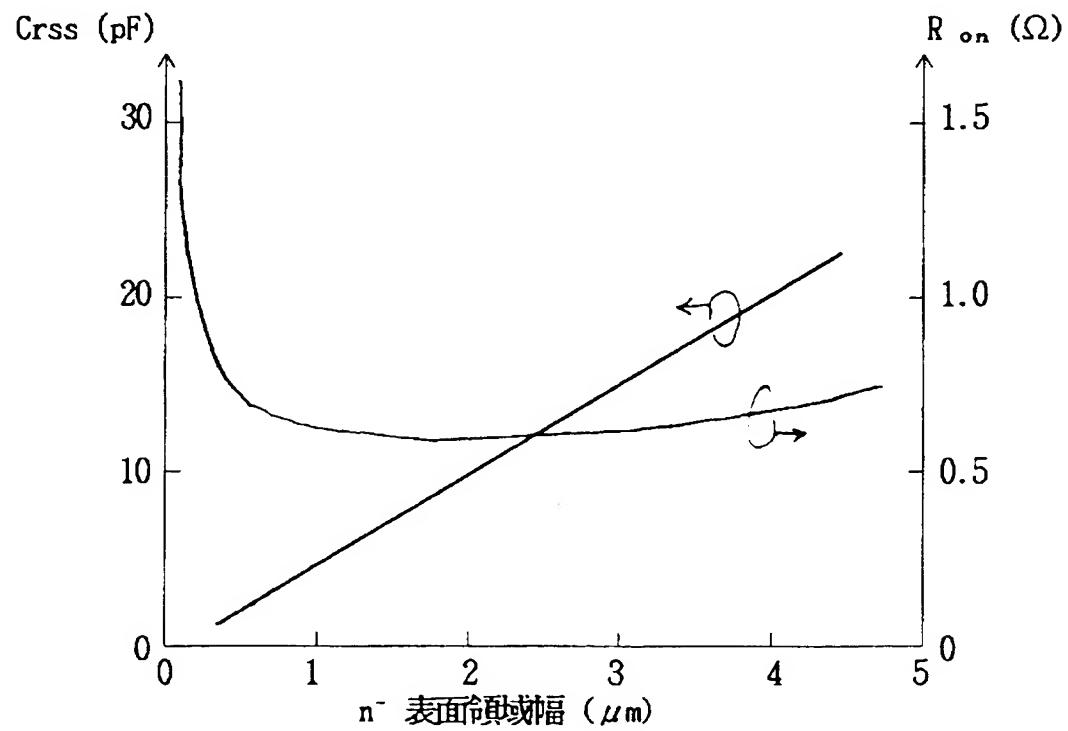
【図5】



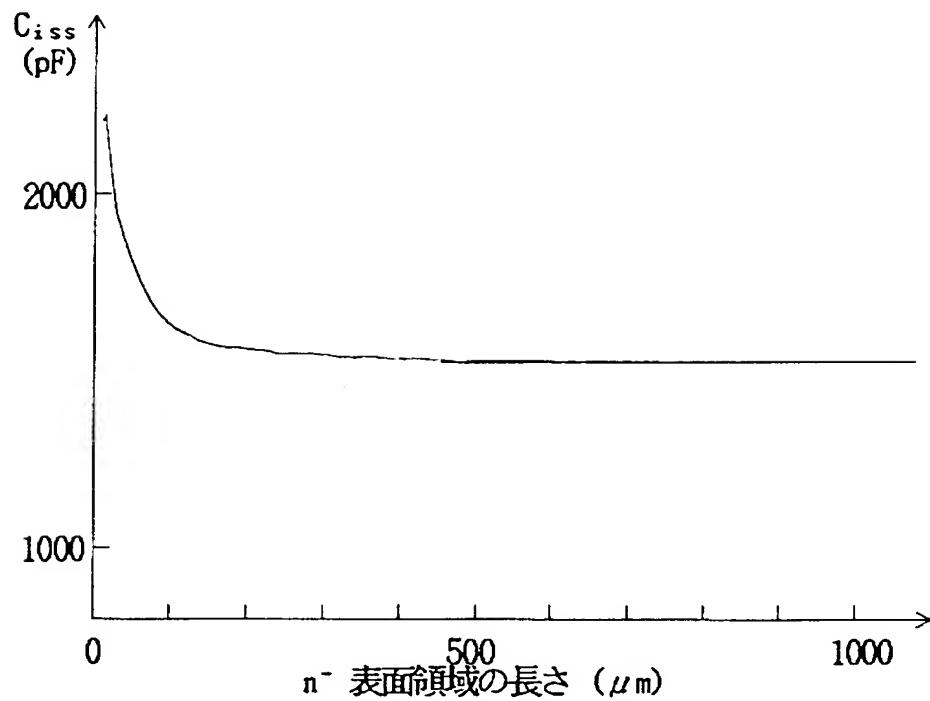
【図6】



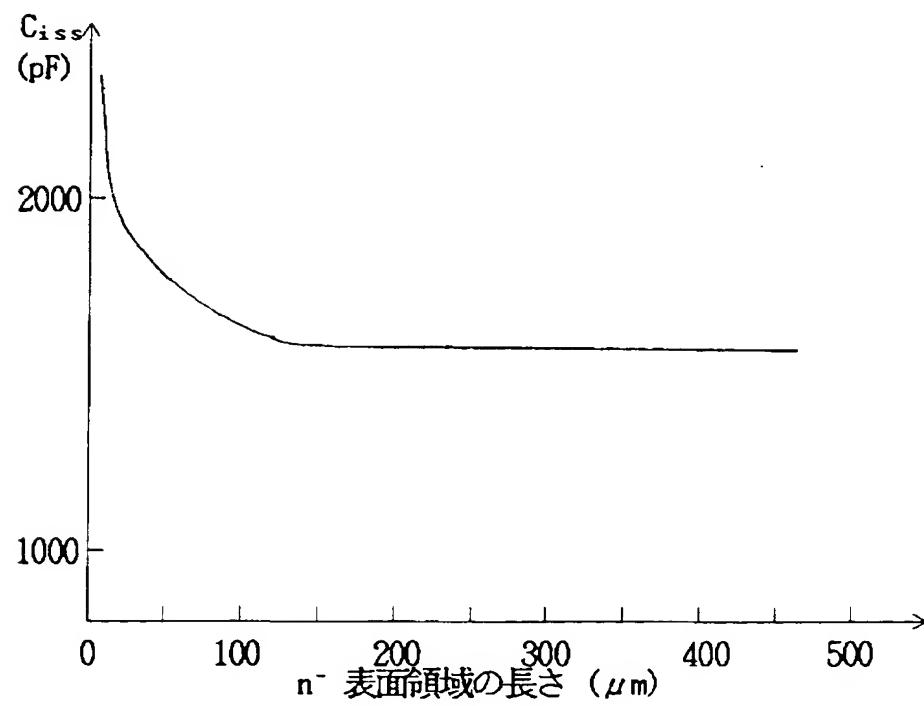
【図7】



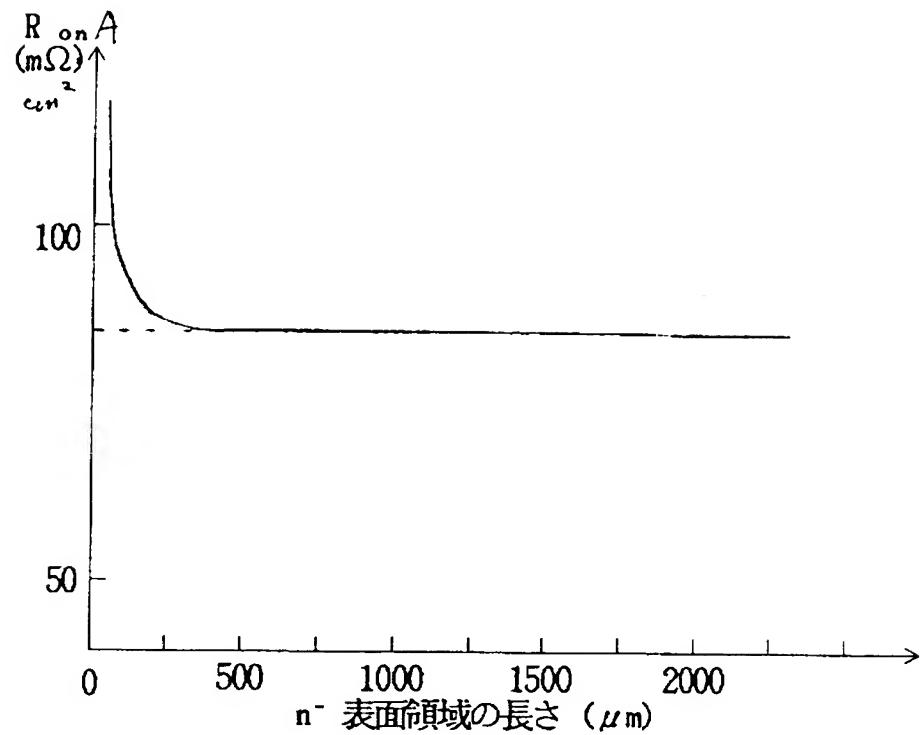
【図8】



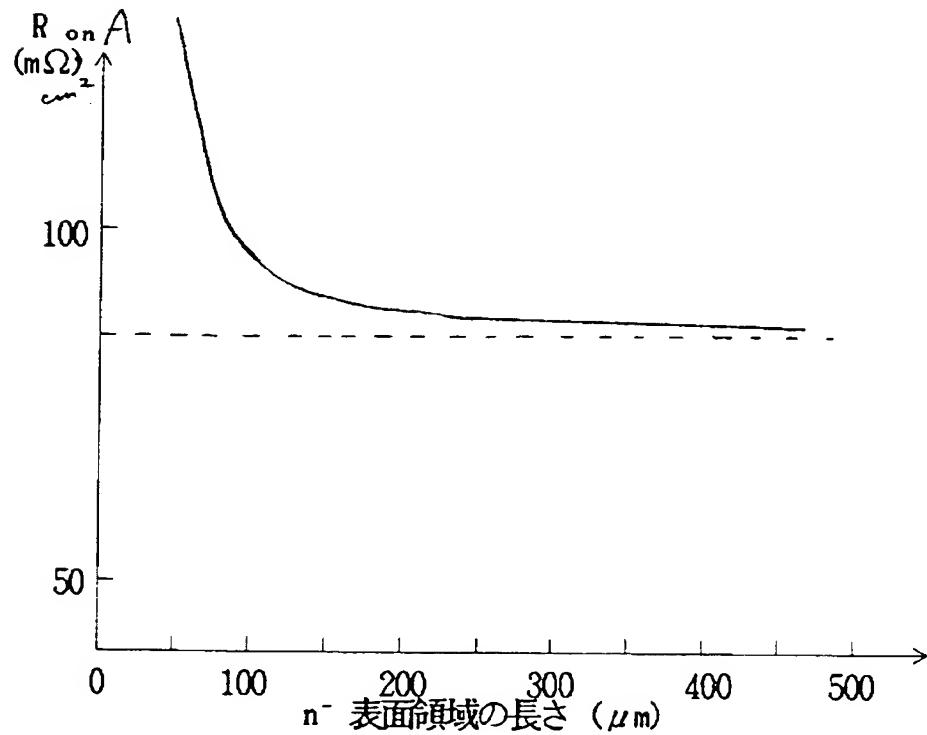
【図9】



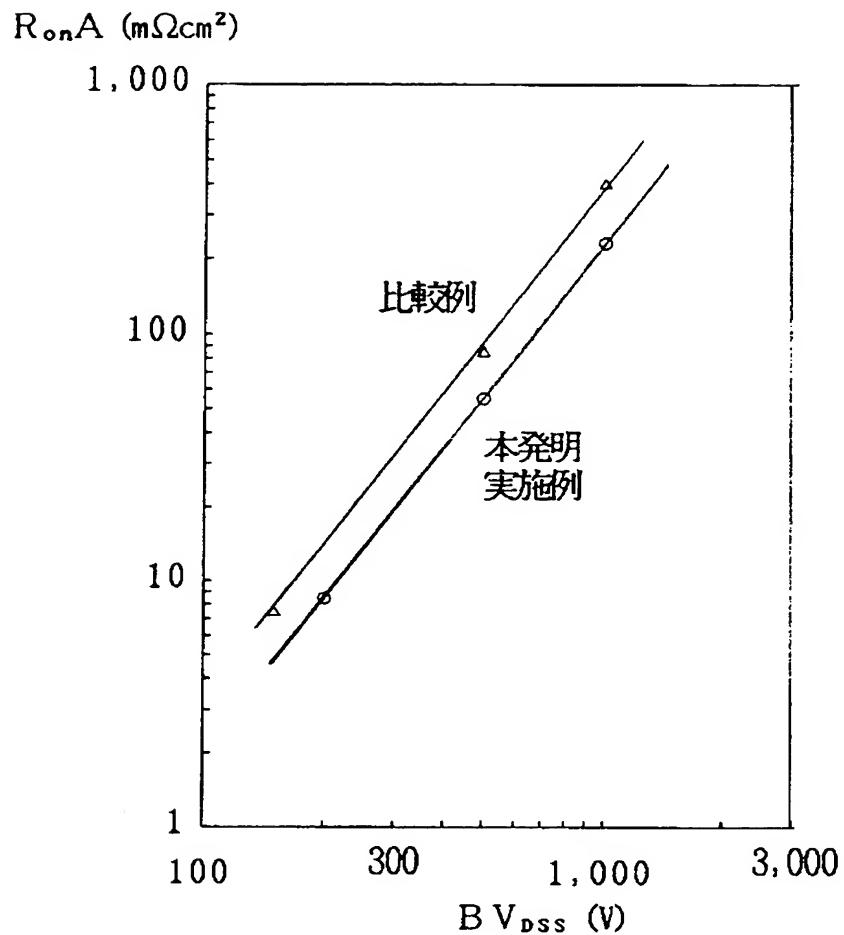
【図10】



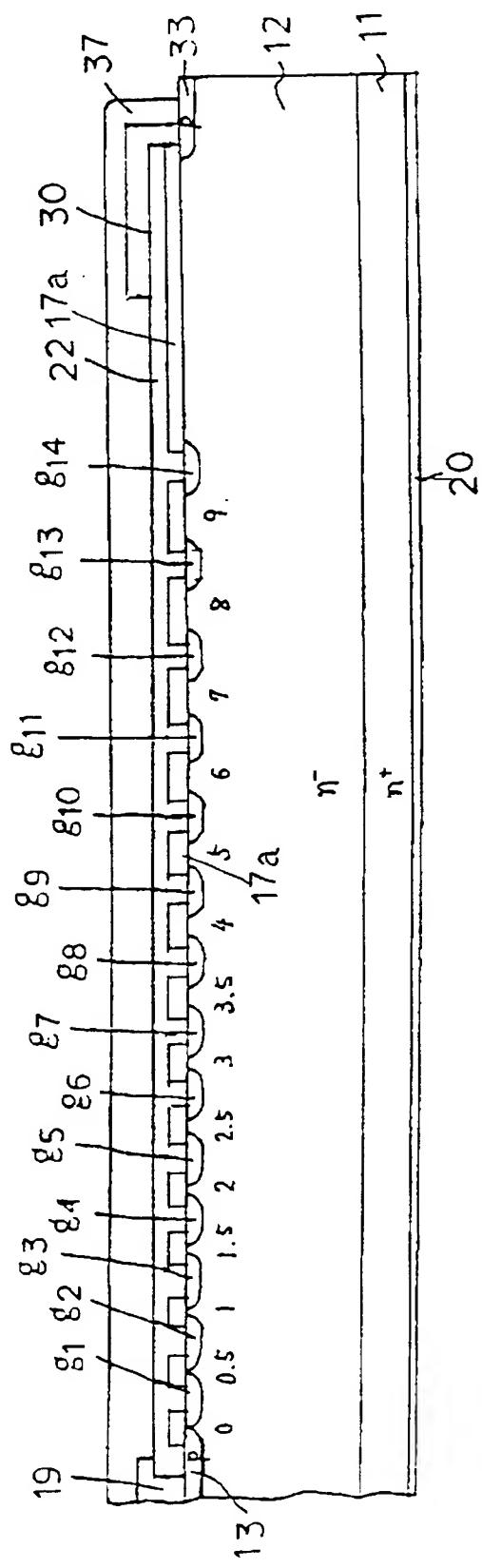
【図11】



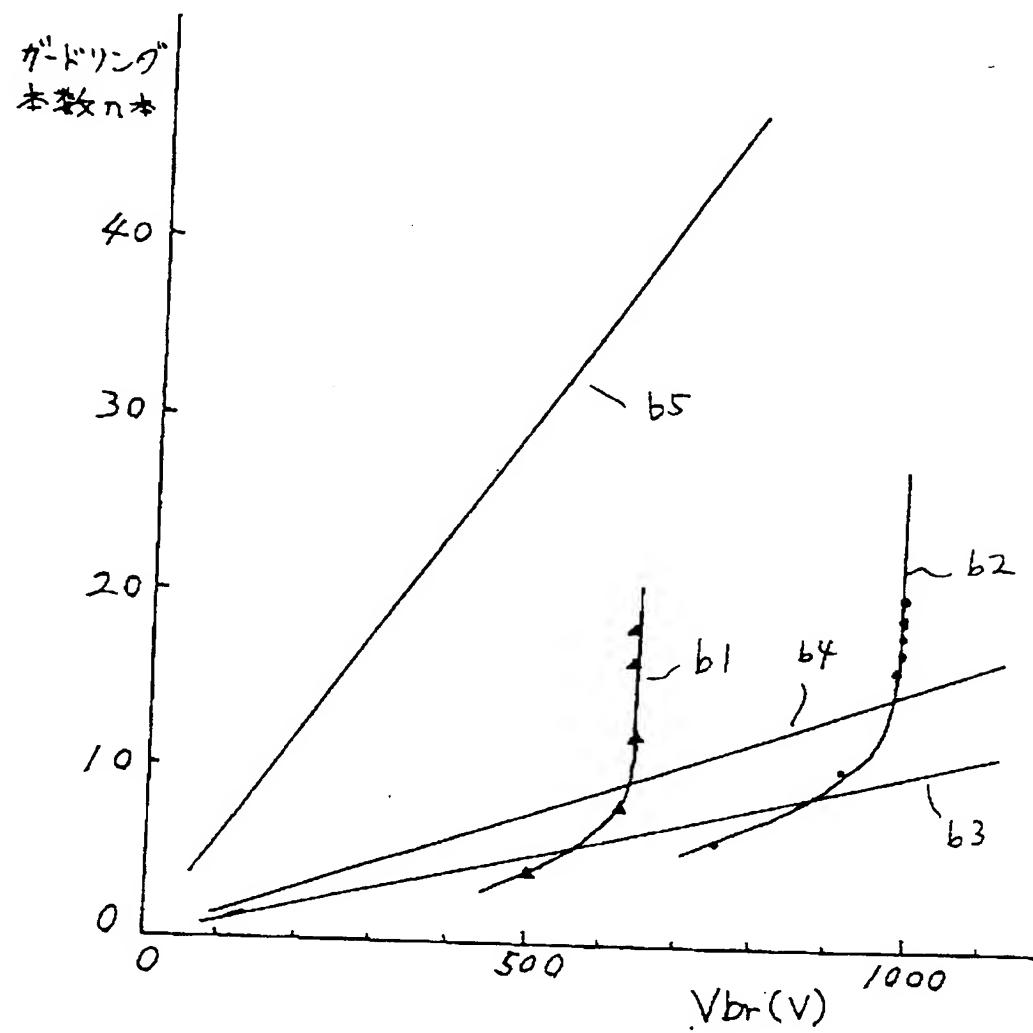
【図12】



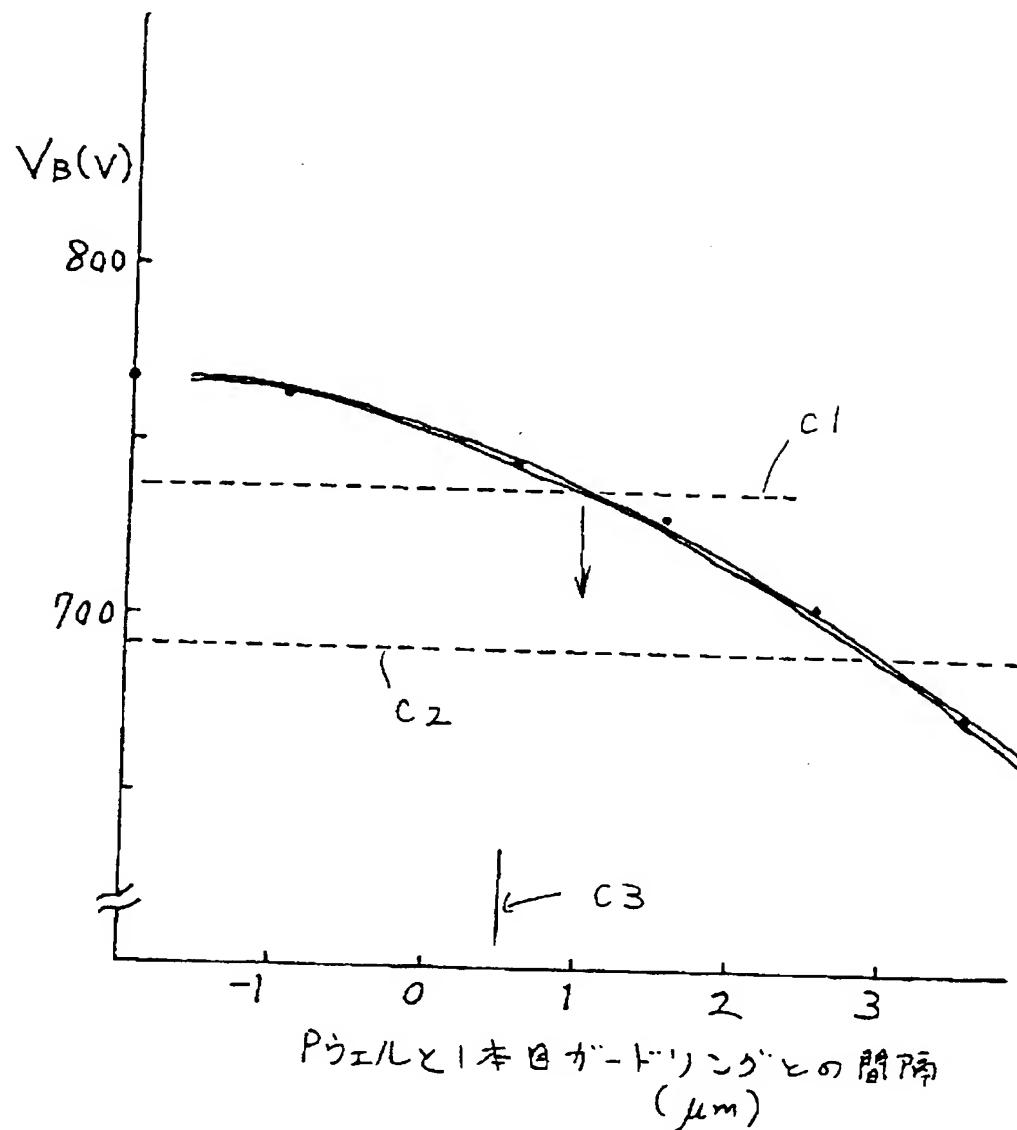
【図13】



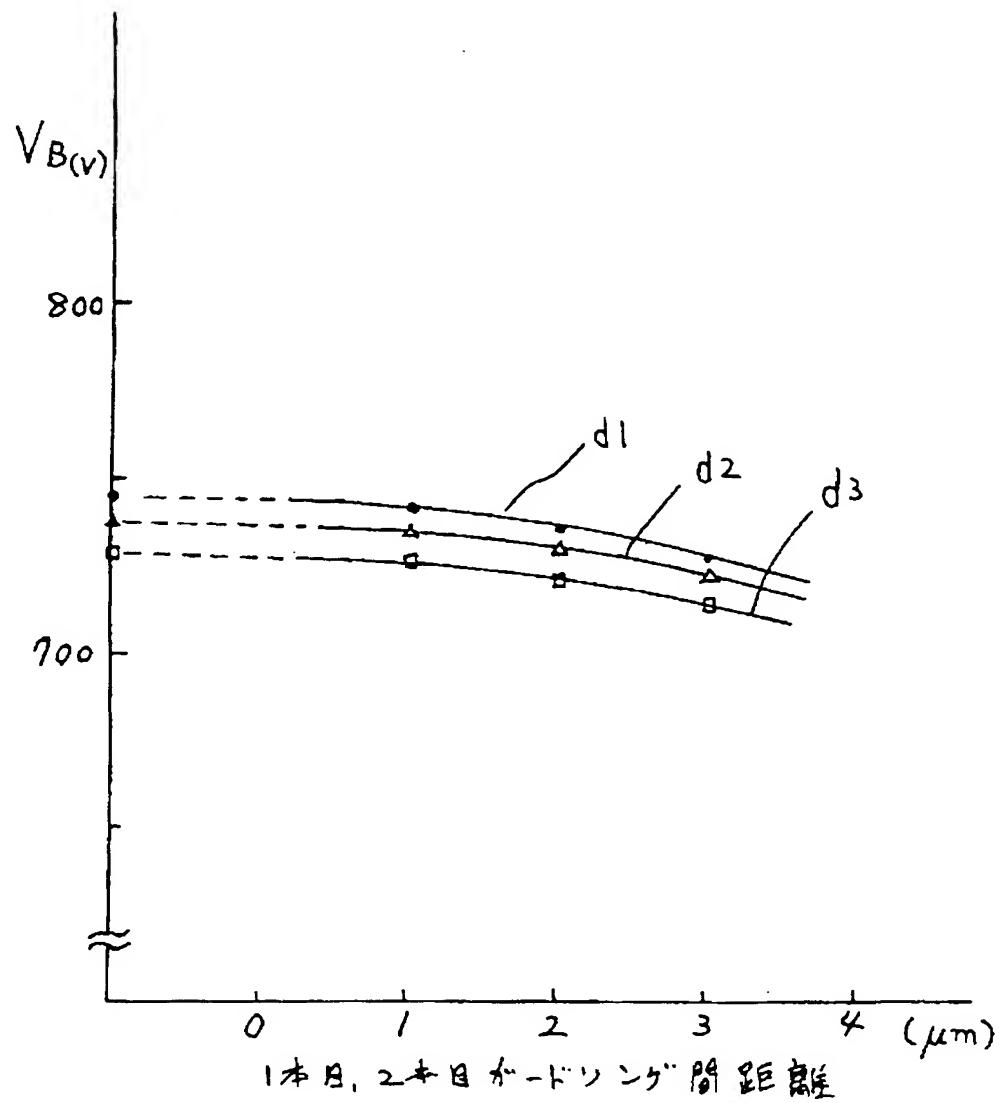
【図14】



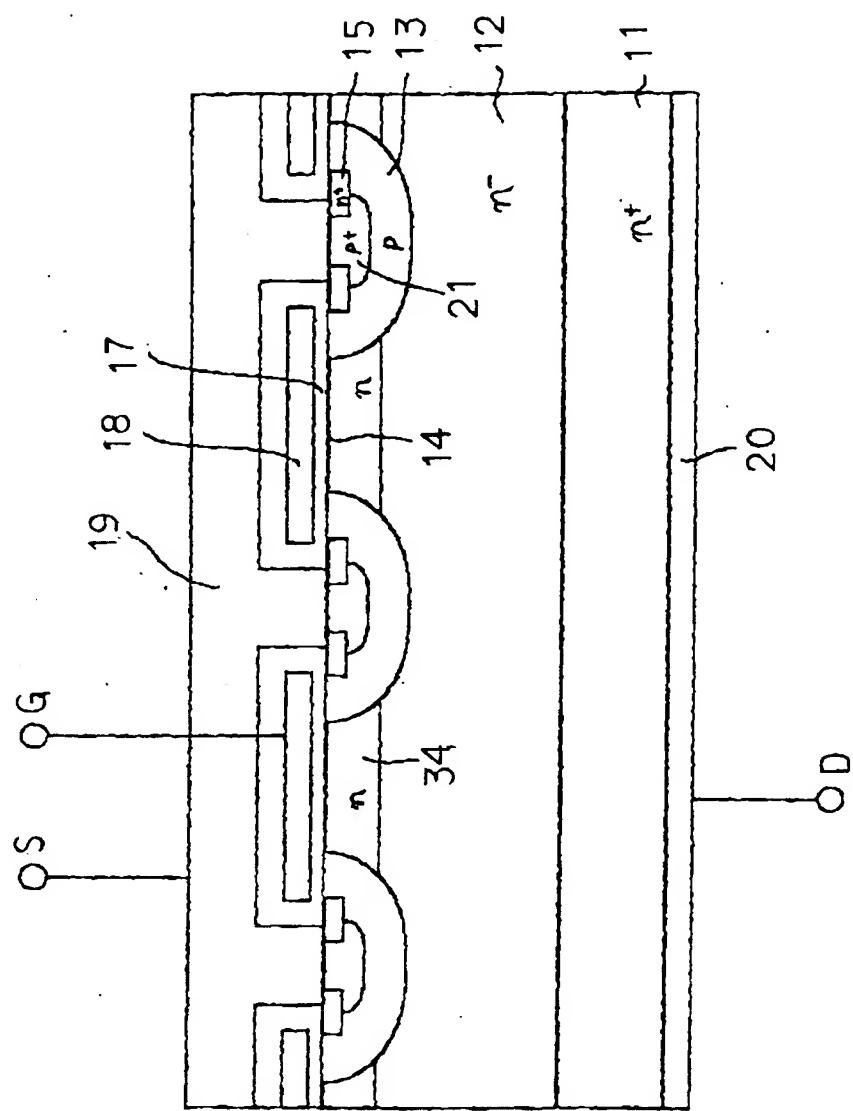
【図15】



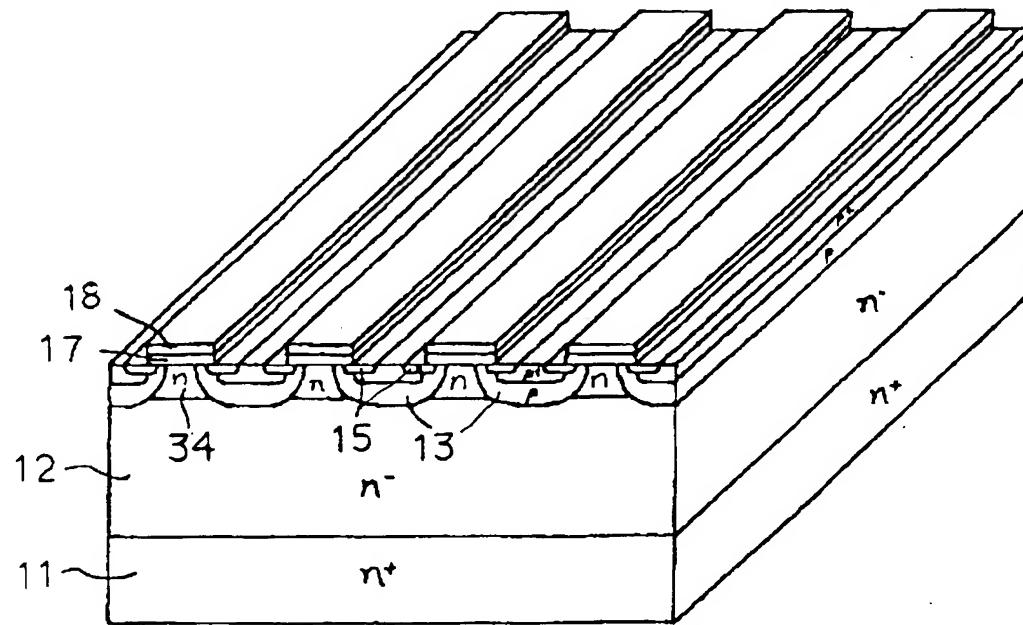
【図16】



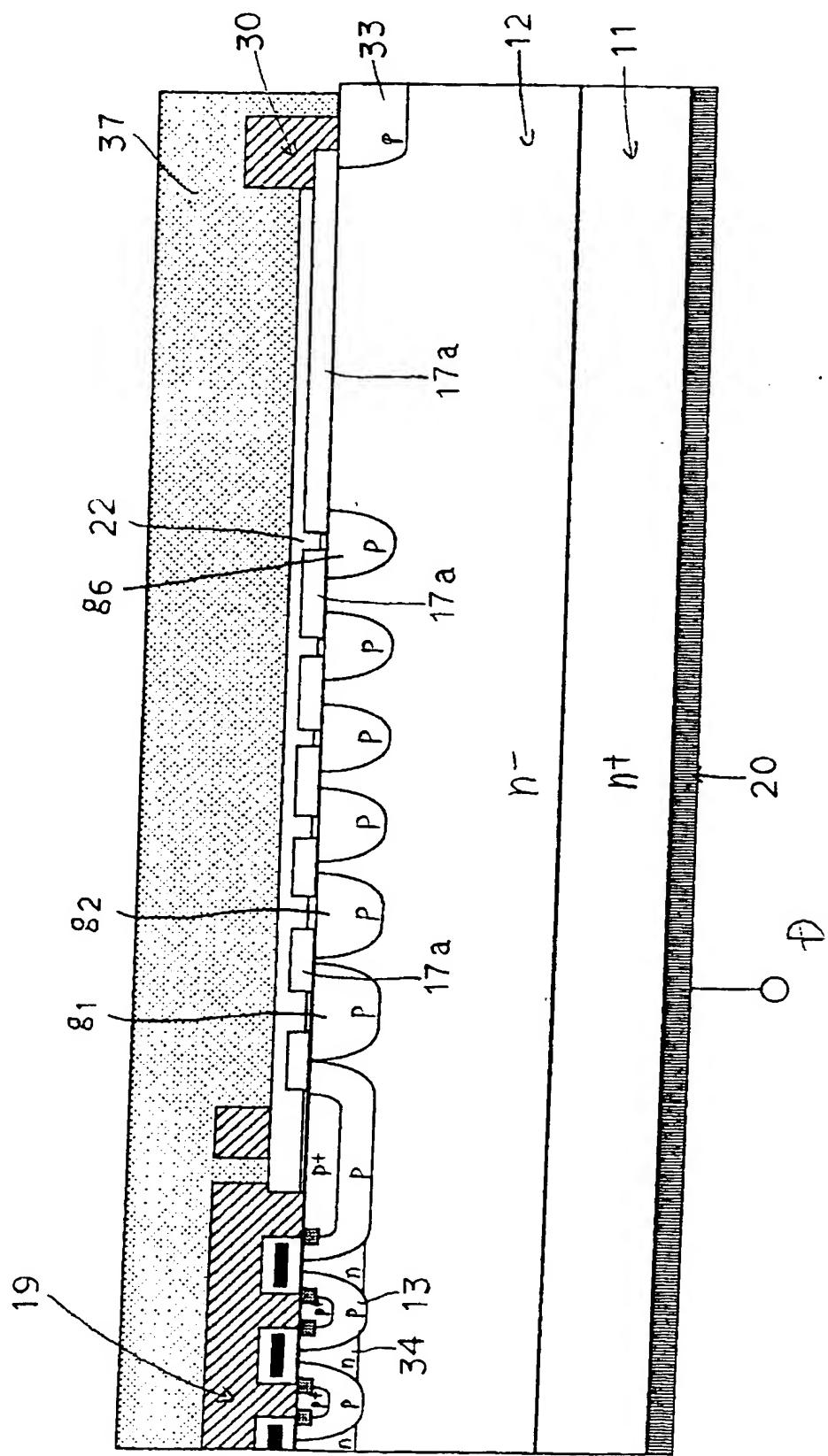
【図17】



【図18】

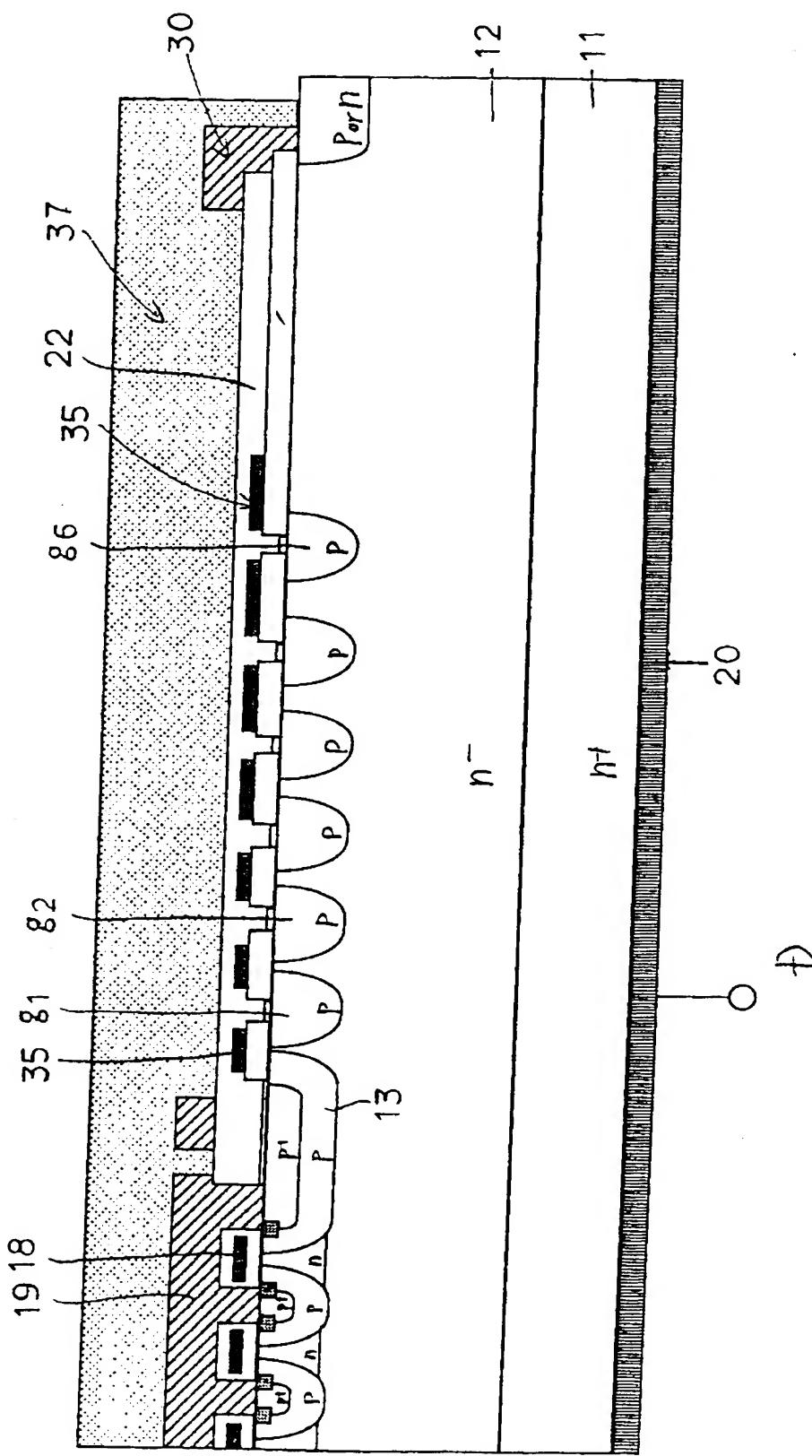


【図19】

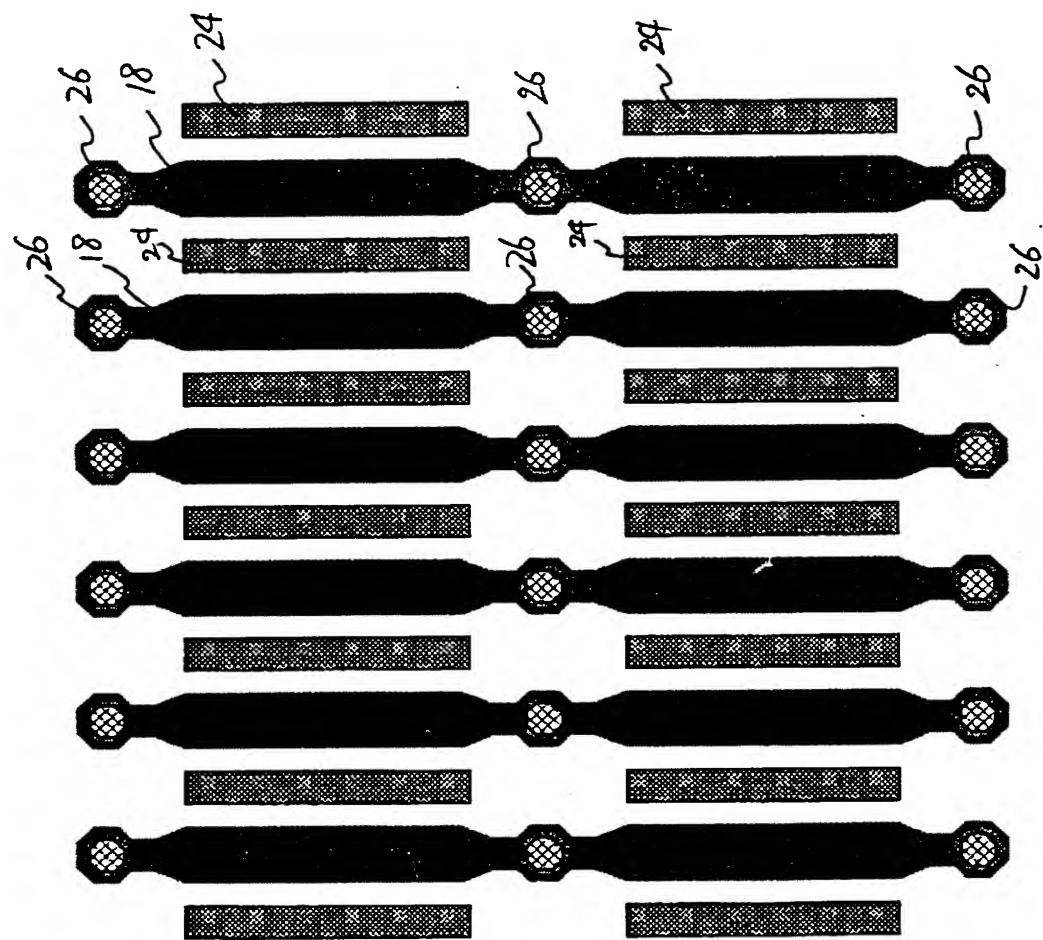


特2001-119221

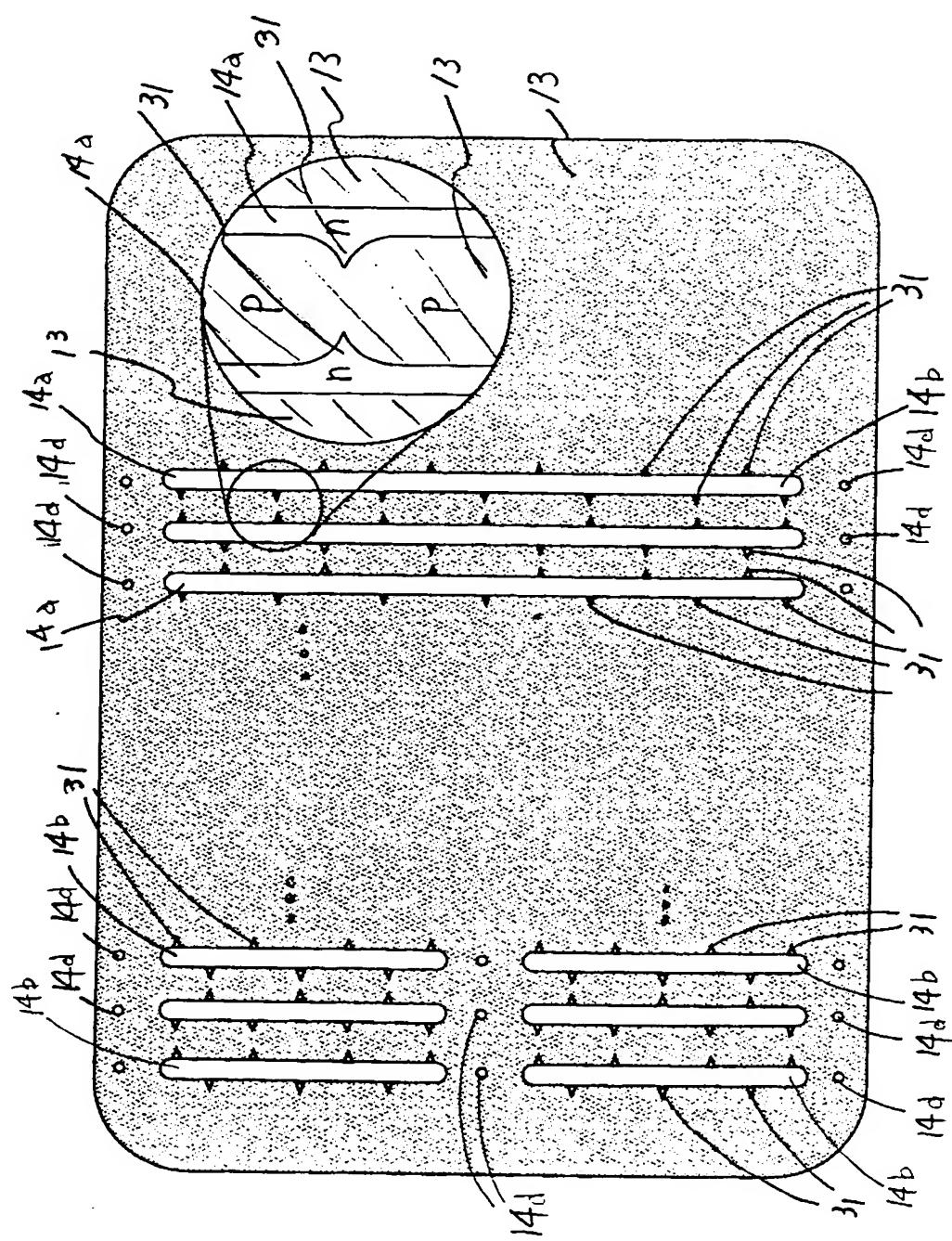
【図20】



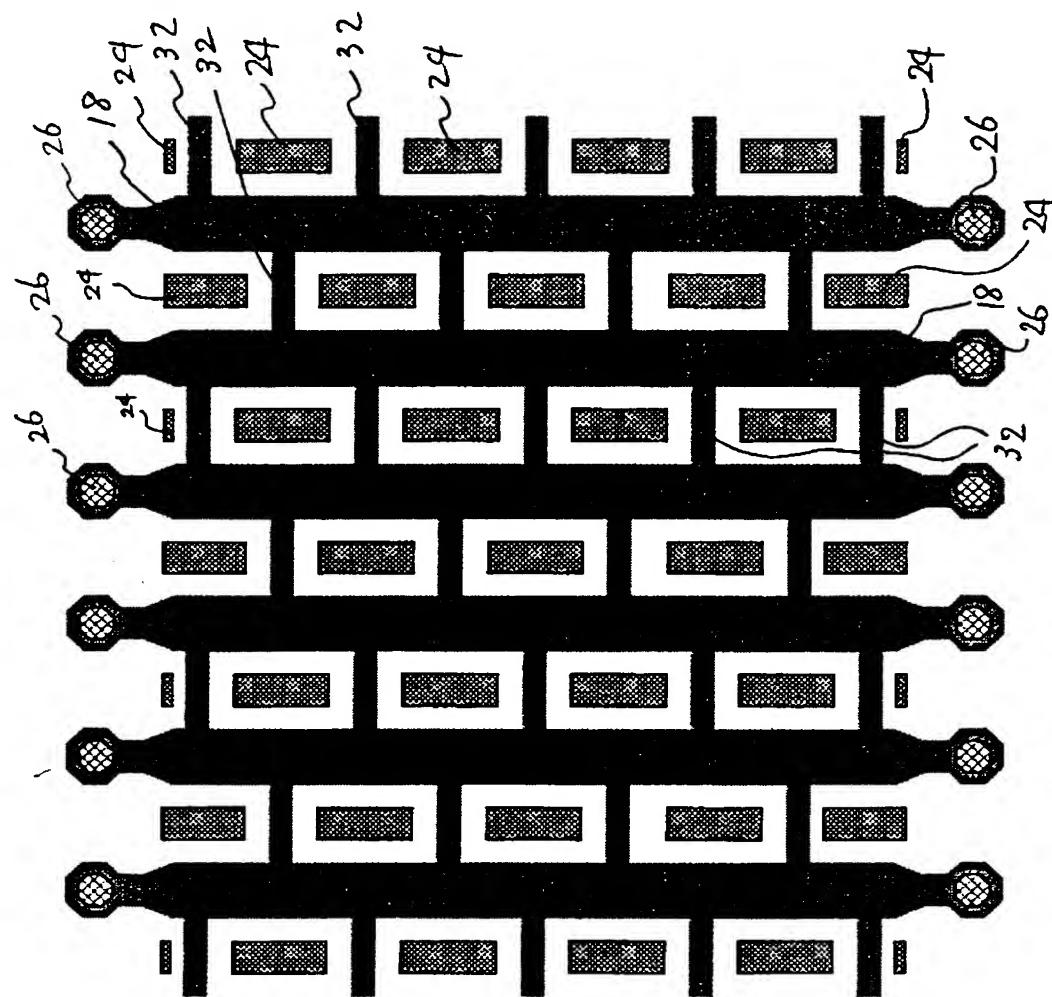
【図21】



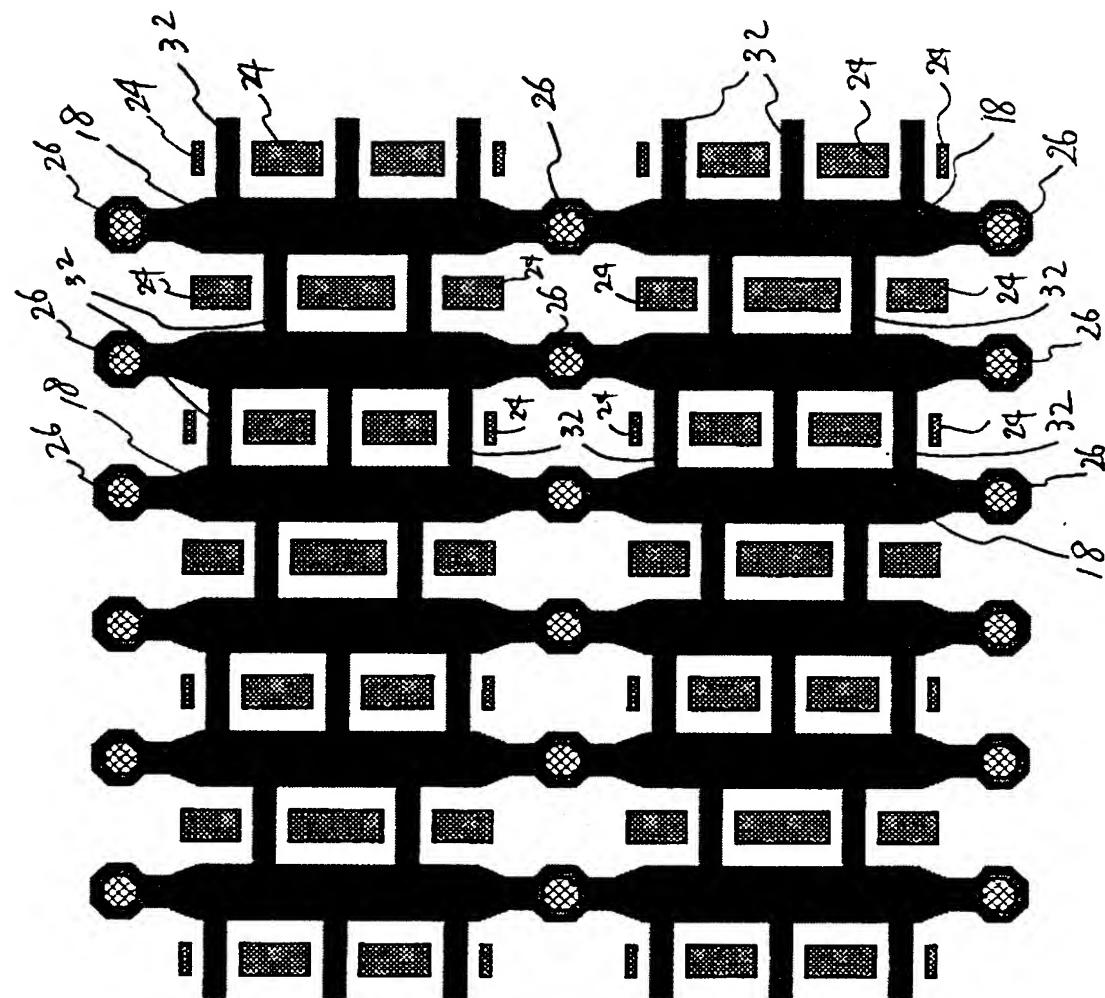
【図22】



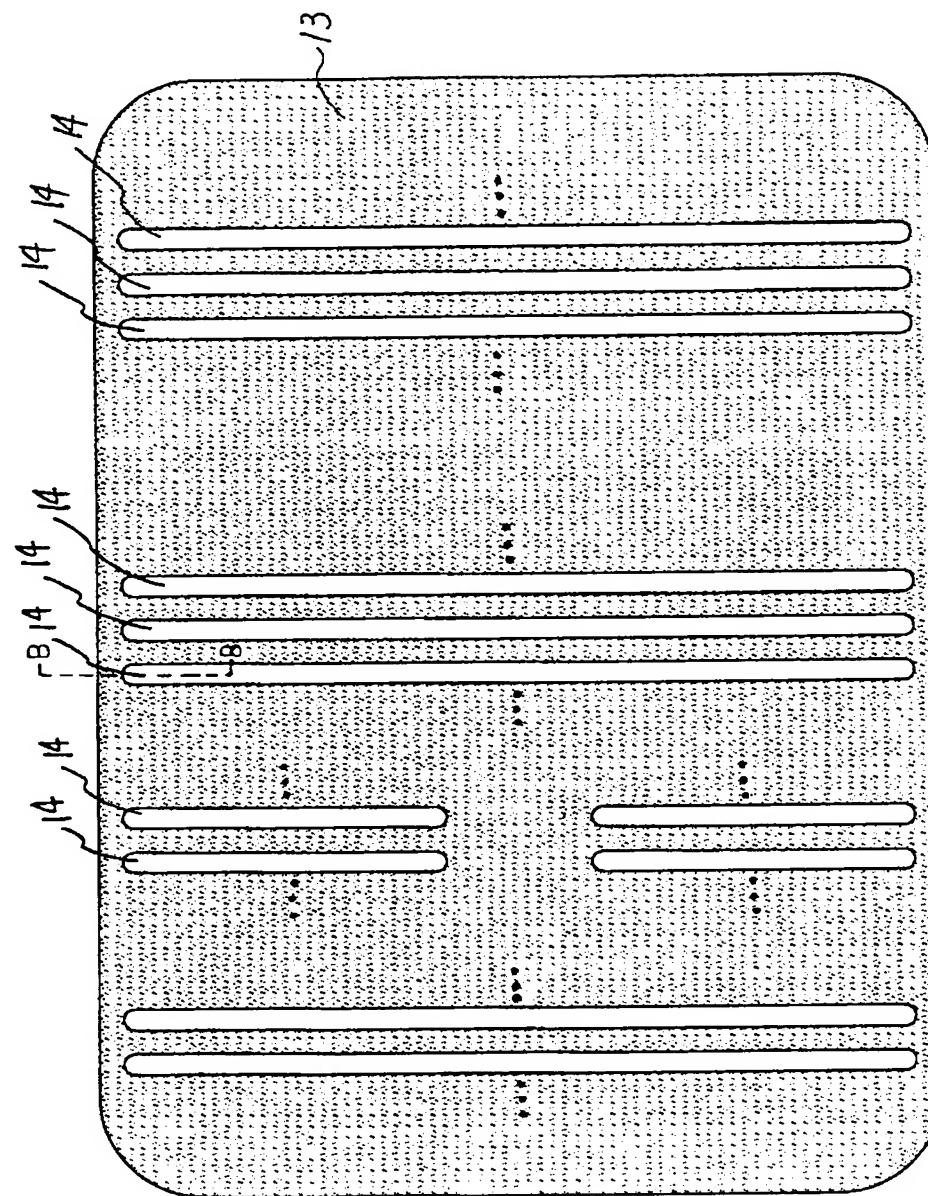
【図23】



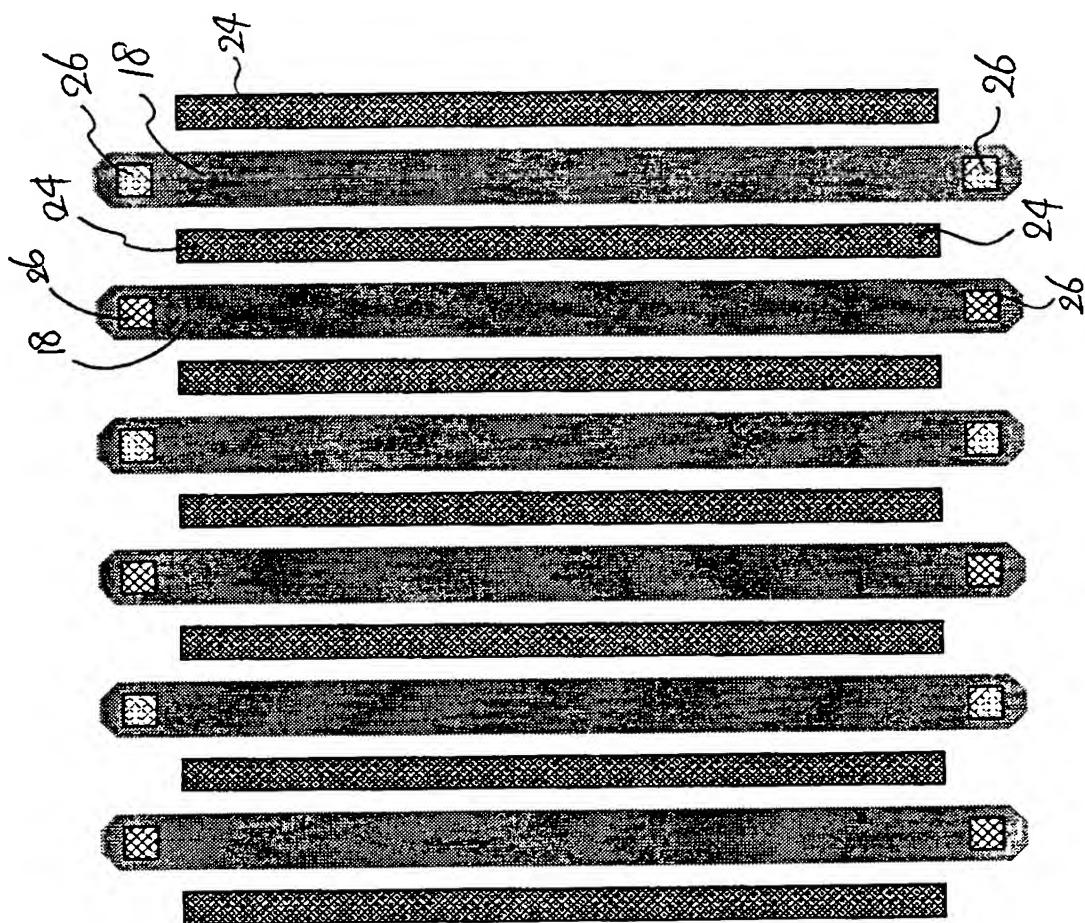
【図24】



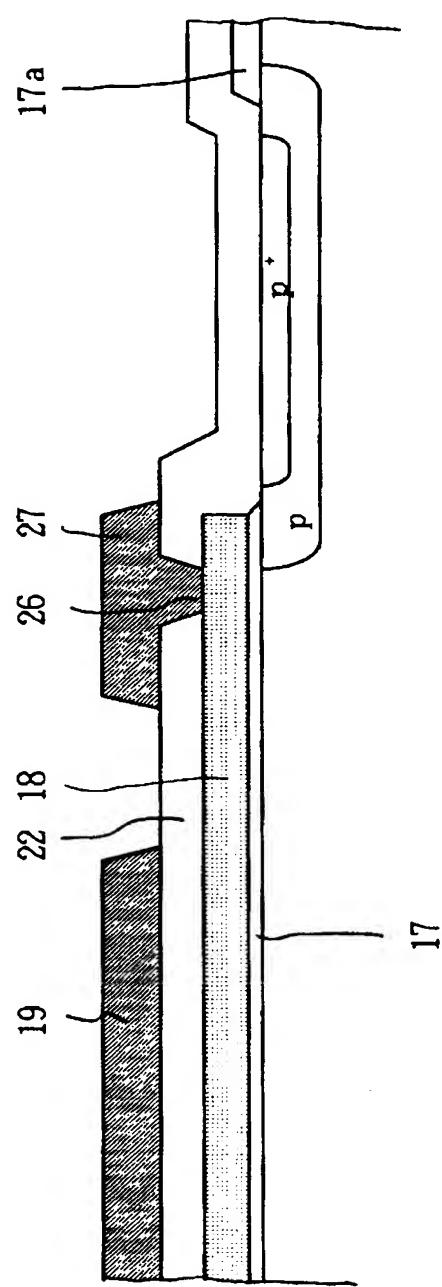
【図25】



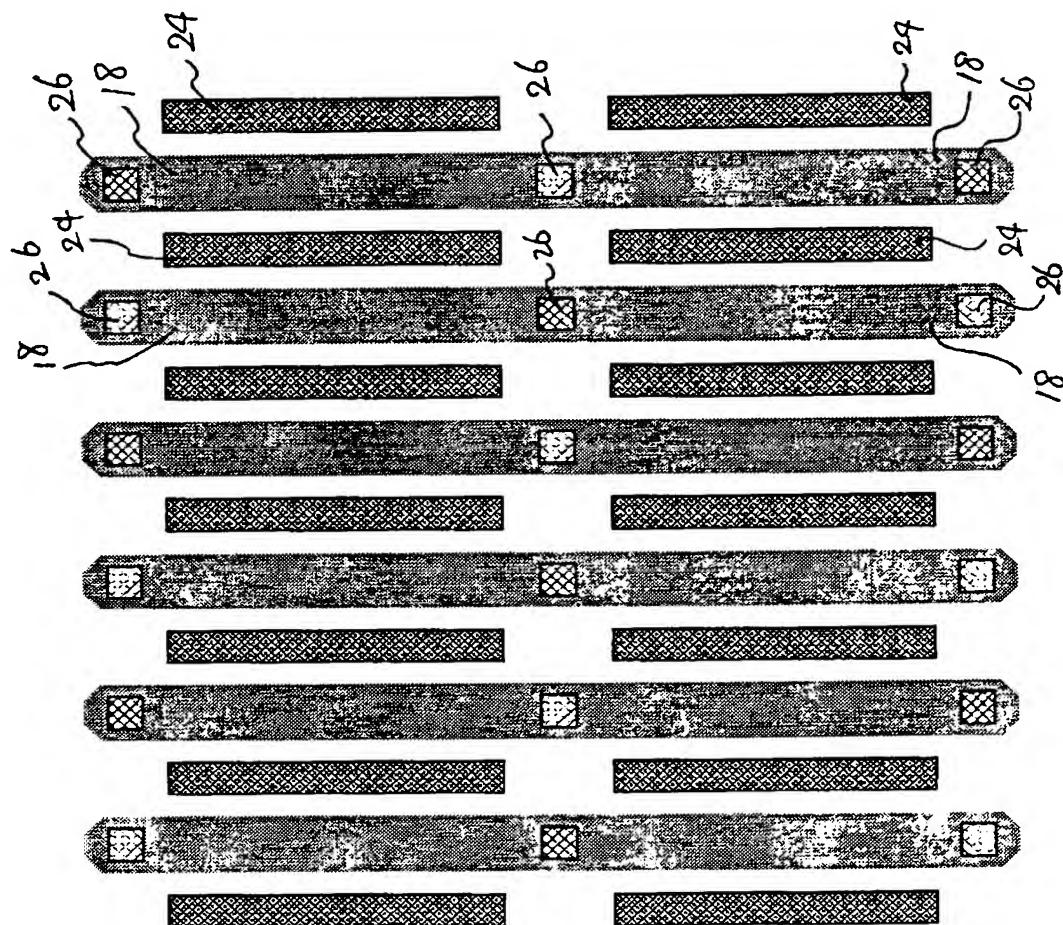
【図26】



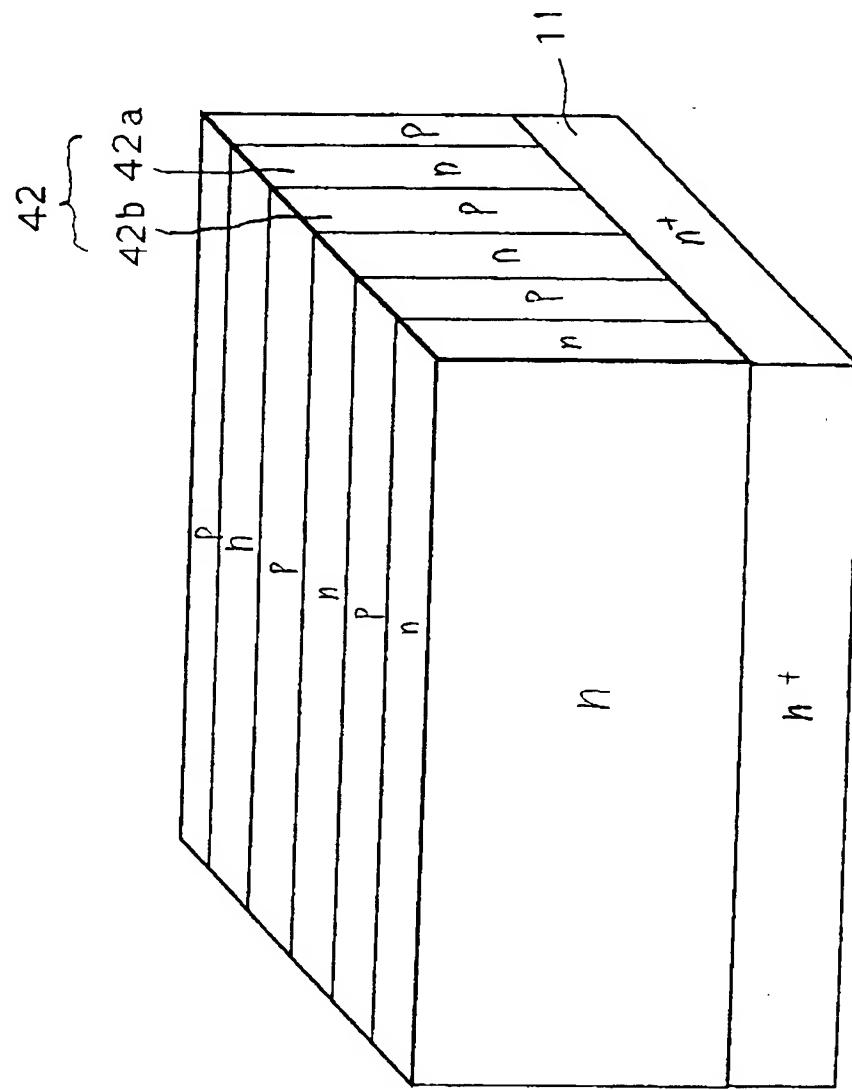
【図27】



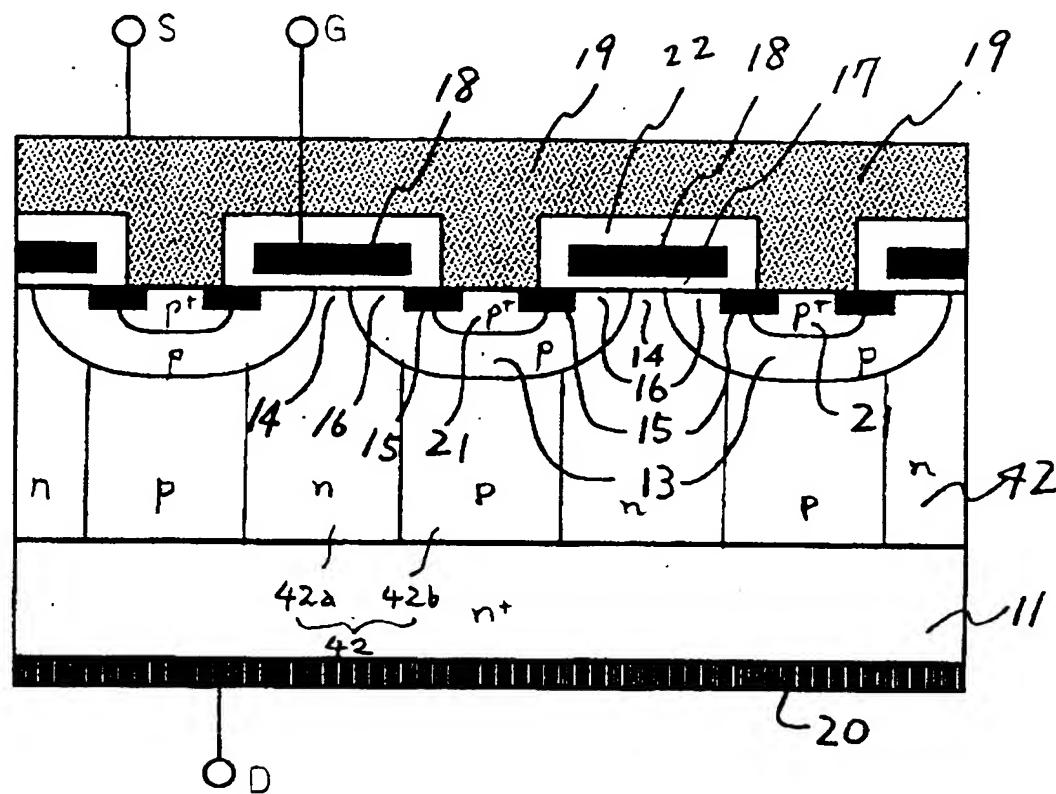
【図28】



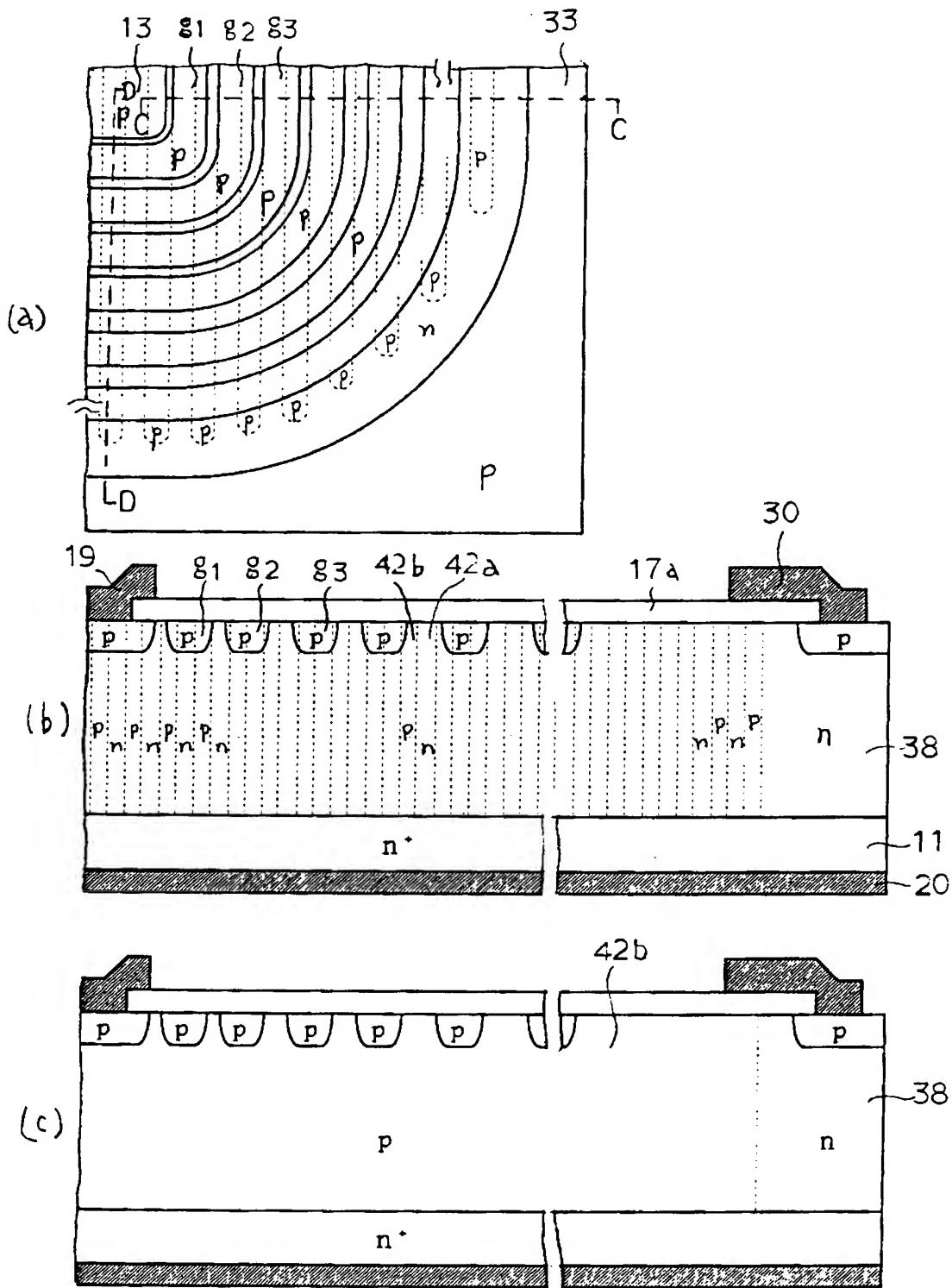
【図29】



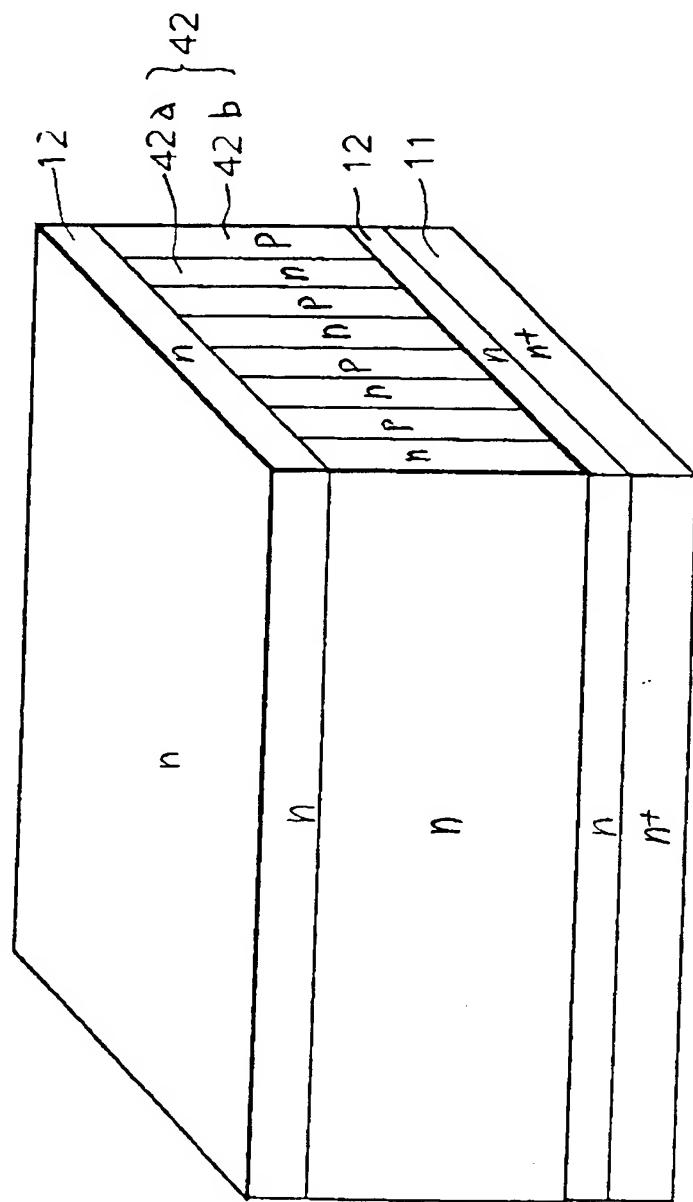
【図30】



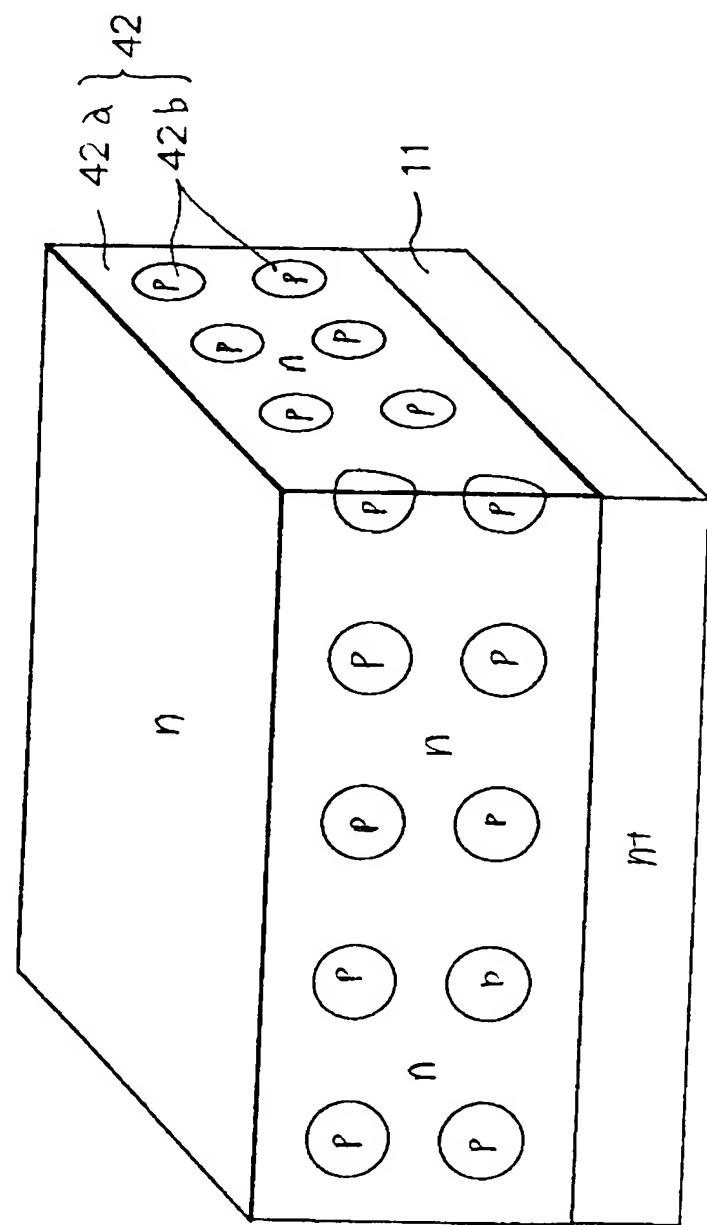
【図31】



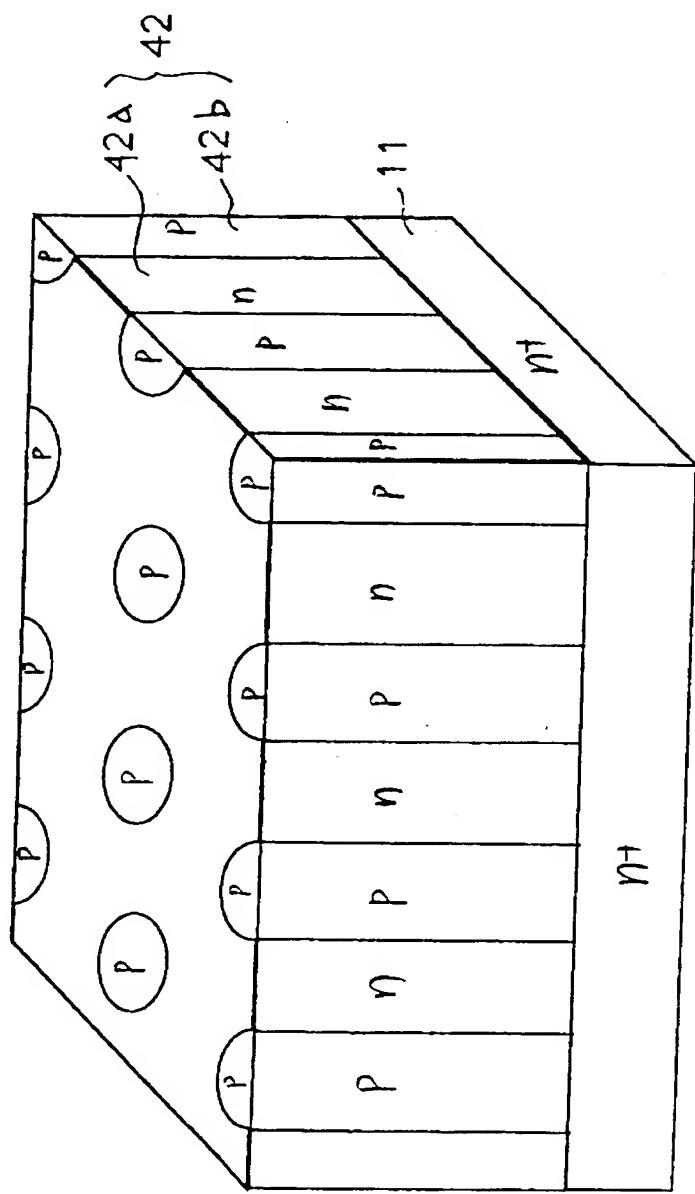
【図32】



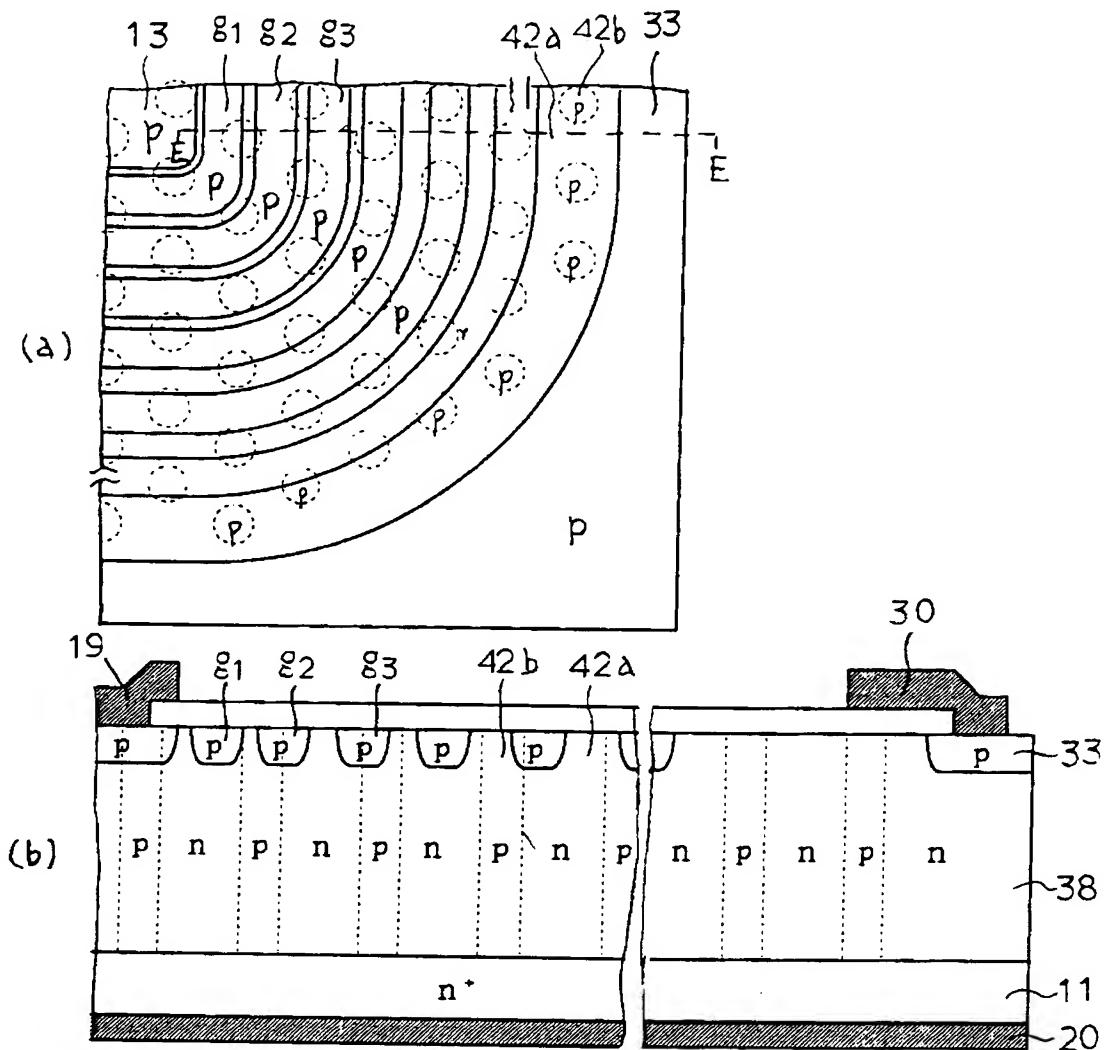
【図33】



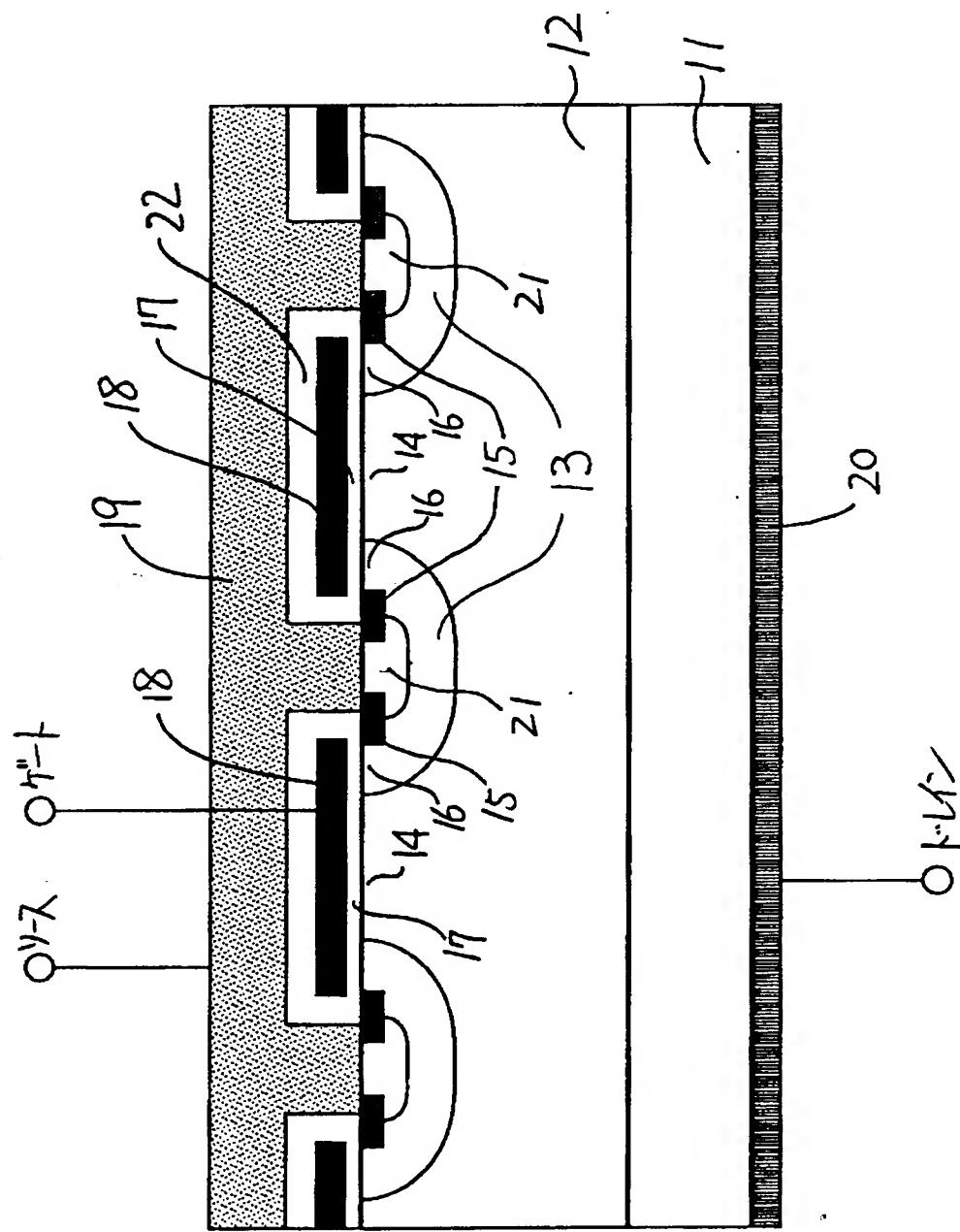
【図34】



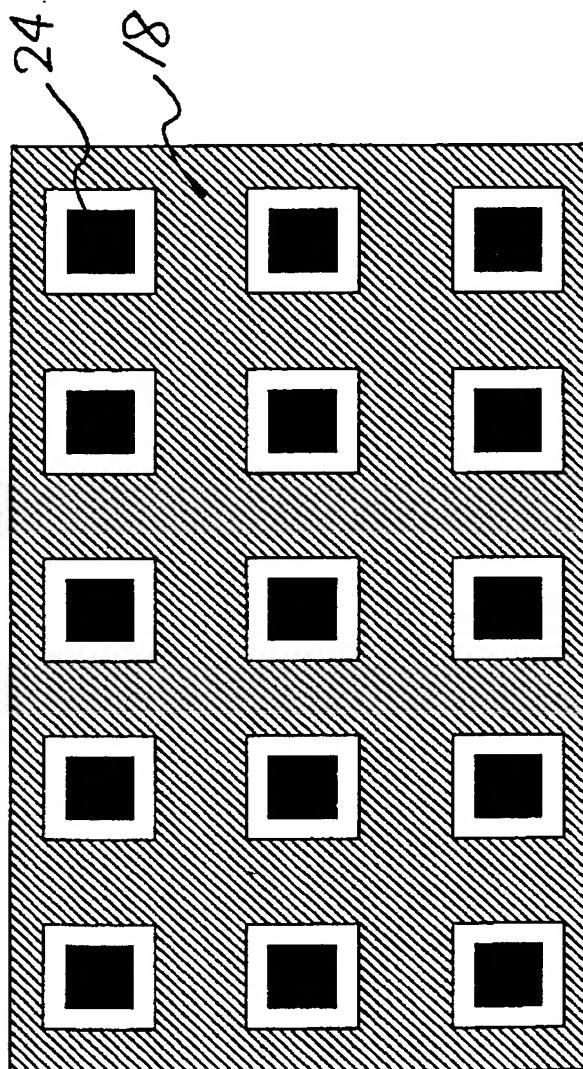
【図35】



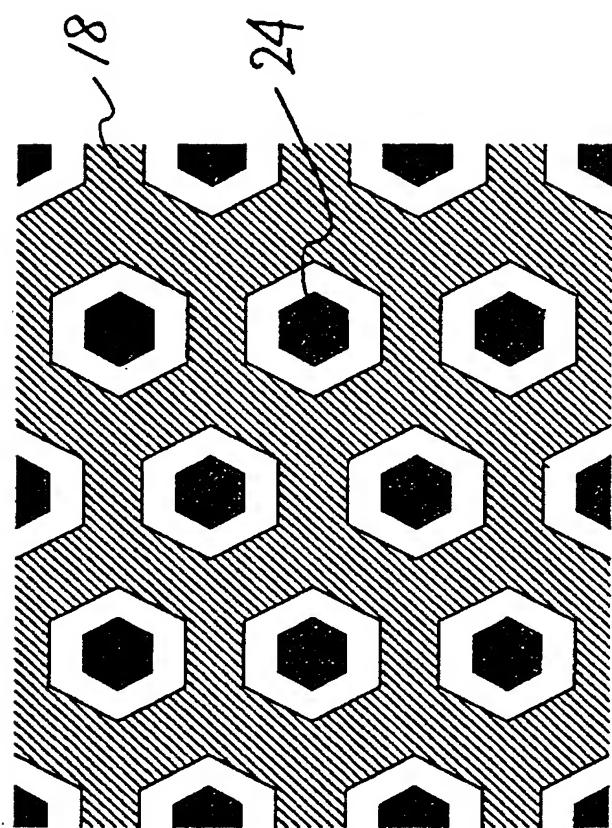
【図36】



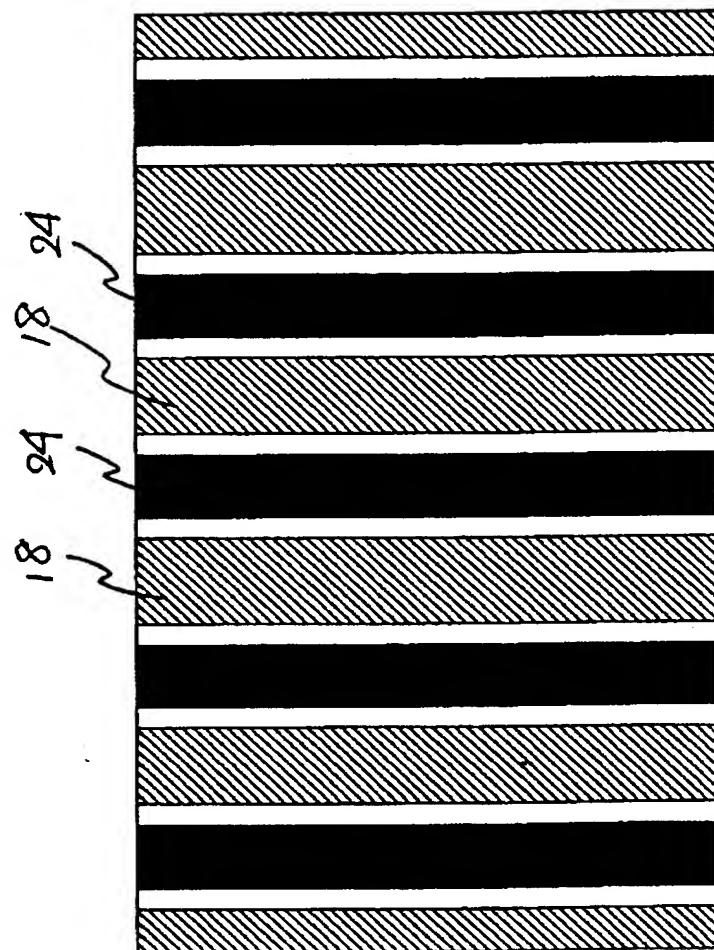
【図37】



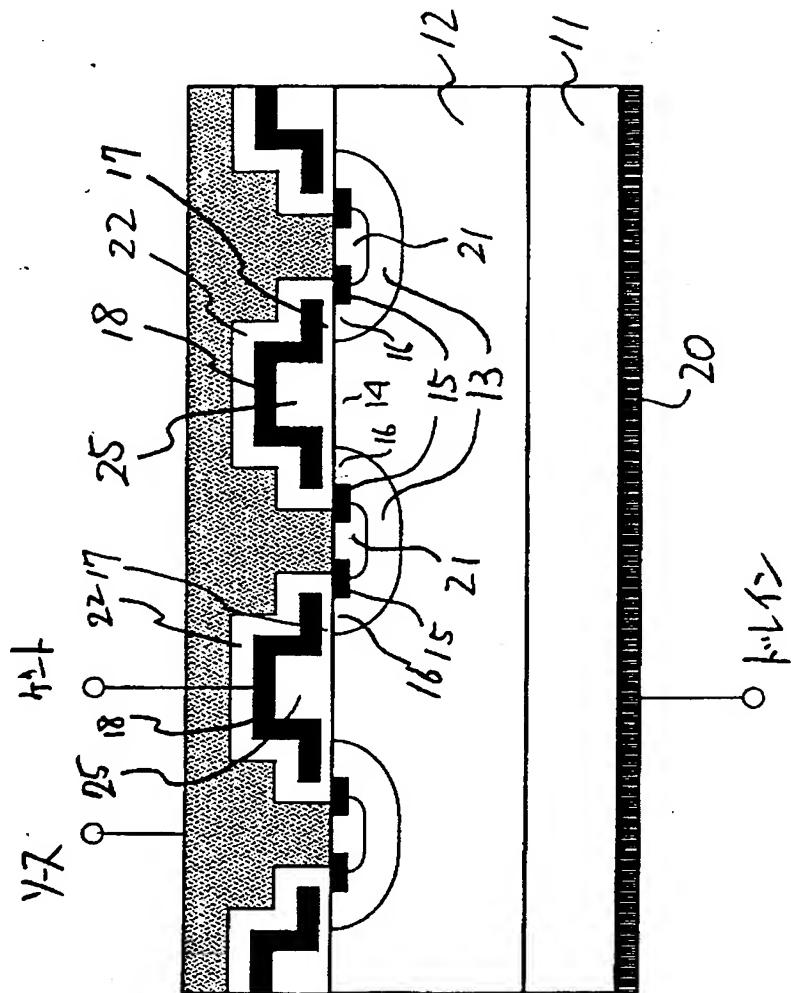
【図38】



【図39】



【図40】



【書類名】 要約書

【要約】

【課題】 M O S 半導体装置の耐圧とオン抵抗とのトレードオフ関係を改善し、高耐圧、低オン抵抗でしかも高速スイッチングが可能なM O S 半導体装置を提供する。

【解決手段】 高比抵抗のn⁻ ドリフト層1 2 の表面露出部であるn⁻ 表面領域1 4 の表面形状をp ウェル領域1 3 で囲まれたストライプ状とし、n⁺ ソース領域1 5 を含むp ウェル領域1 3 の面積に対するn⁻ 表面領域1 4 の面積比を、0. 0 1 ~ 0. 2 の範囲とする。

ガードリングの数n を耐圧V_{br} (V) / 1 0 0 以上とし、間隔を例えば1 μm 以下と狭くする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-119221
受付番号	50100567121
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 4月23日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005234

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【住所又は居所】 東京都日野市富士町1番地 富士電機株式会社内

【氏名又は名称】 篠部 正治

次頁無

出願人履歴情報

識別番号 [000005234]

1. 変更年月日 1990年 9月 5日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田1番1号

氏 名 富士電機株式会社